

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175060

(43)Date of publication of application : 21.06.2002

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 2001-202539

(71)Applicant : SHARP CORP

(22)Date of filing : 03.07.2001

(72)Inventor : KAJIWARA NORIYUKI  
OGAWA YOSHINORI

(30)Priority

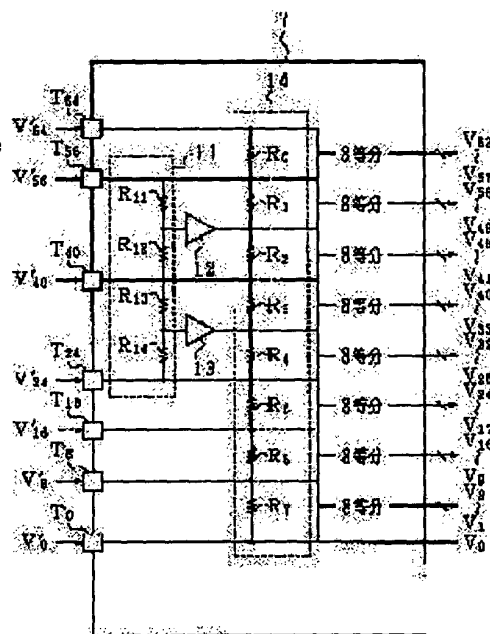
Priority number : 2000297529 Priority date : 28.09.2000 Priority country : JP

## (54) LIQUID CRYSTAL DRIVE DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE PROVIDED WITH THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To actualize a liquid crystal display device for a portable terminal which is small in size and low in power consumption by preventing the rounding of a driving waveform, without having to provide an output circuit for every output terminal to a liquid crystal panel.

**SOLUTION:** A reference voltage generating circuit 7 is provided with a generating circuit 11, buffer circuits 12 and 13, and a resistance-dividing circuit 14. The generating circuit 11 newly generates a voltage between two adjacent reference voltages V'40 and V'56 as a 2nd reference voltage from those reference voltages and newly generate a voltage between two adjacent reference voltages V'24 and V'40 as a 2nd reference voltage from these reference voltages. The buffer circuits 12 and 13 outputs the 2nd reference voltages, generated by the generating circuit 11 to the resistance dividing circuit 14 respectively, after impedance conversion. The resistance-dividing circuit 14 derives 64 kinds of voltages for gradation display by voltage division between the two adjacent 1st reference voltages and between the 1st and 2nd reference voltages, and outputs the voltages to a D/A conversion circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

; [Date of final disposal for application]

. [Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175060

(P2002-175060A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
			6 1 1 J

審査請求 未請求 請求項の数11 OL (全 24 頁) 最終頁に続く

(21) 出願番号 特願2001-202539(P2001-202539)

(22) 出願日 平成13年7月3日(2001.7.3)

(31) 優先権主張番号 特願2000-297529(P2000-297529)

(32) 優先日 平成12年9月28日(2000.9.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 梶原 典幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

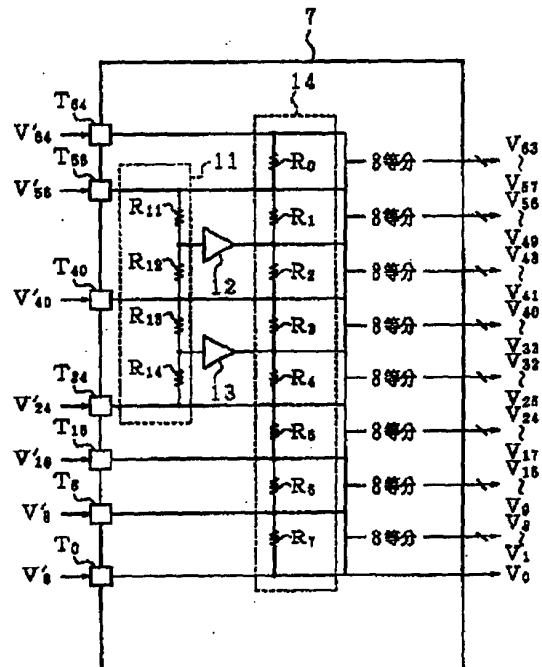
最終頁に続く

(54) 【発明の名称】 液晶駆動装置およびそれを備えた液晶表示装置

## (57) 【要約】

【課題】 液晶パネルへの出力端子ごとに出力回路を設けなくても、駆動波形のなまりを防止し、小型で低消費電力の携帯端末用の液晶表示装置を実現する。

【解決手段】 基準電圧発生回路7に、生成回路11と、バッファ回路12・13と、抵抗分割回路14とを設ける。生成回路11は、隣り合う2つの参照電圧 $V'_{40} \cdot V'_{56}$ からその間の電圧を第2参照電圧として新たに生成すると共に、隣り合う2つの参照電圧 $V'_{24} \cdot V'_{40}$ からその間の電圧を第2参照電圧として新たに生成する。バッファ回路12・13は、生成回路11にて生成された第2参照電圧をそれぞれインピーダンス変換して抵抗分割回路14に出力する。抵抗分割回路14は、隣り合う2つの第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間を分圧することによって、64種類の階調表示用電圧を引き出し、DA変換回路に出力する。



## 1

## 【特許請求の範囲】

【請求項 1】 入力される複数の第 1 参照電圧から、 $n$  ビットの表示データに応じた  $2^n$  種類の階調表示用電圧を発生させる基準電圧発生手段と、

上記  $2^n$  種類の階調表示用電圧の中から、入力される表示データに応じた電圧を選択すると共に、選択した電圧を複数の出力端子を介してそのまま液晶パネルに出力する選択手段とを備えた液晶駆動装置であって、

上記基準電圧発生手段は、

上記複数の第 1 参照電圧を昇順または降順に並べたときに、一部の隣り合う 2 つの第 1 参照電圧からその間の電圧を第 2 参照電圧として新たに生成する生成手段と、

上記第 2 参照電圧をインピーダンス変換して出力するバッファ手段と、

隣り合う 2 つの第 1 参照電圧間および隣り合う第 1 参照電圧と第 2 参照電圧との間を分圧することによって、上記  $2^n$  種類の階調表示用電圧を引き出す分圧手段とを備えていることを特徴とする液晶駆動装置。

【請求項 2】 上記分圧手段は、隣り合う第 1 参照電圧間および隣り合う第 1 参照電圧と第 2 参照電圧との間に対応して設けられる抵抗が直列接続された第 1 抵抗分割回路で構成されている一方、上記生成手段は、隣り合う第 1 参照電圧と第 2 参照電圧との間に対応して設けられる抵抗が直列接続された第 2 抵抗分割回路で構成されており、

上記第 1 抵抗分割回路を構成する各抵抗の比、および、上記第 2 抵抗分割回路を構成する各抵抗の比は、上記  $2^n$  種類の階調表示用電圧に対する、自然な階調表示を行うためのガンマ補正を実現できるような比にそれぞれ設定されていることを特徴とする請求項 1 に記載の液晶駆動装置。

【請求項 3】 上記生成手段は、上記複数の第 1 参照電圧の入力範囲の最小値および最大値以外の電圧を上記第 2 参照電圧として生成することができるよう設けられていることを特徴とする請求項 1 または 2 に記載の液晶駆動装置。

【請求項 4】 上記バッファ手段は、外部から入力される制御信号に基づいて、当該バッファ手段内部の動作電流を制御する制御手段を備えていることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の液晶駆動装置。

【請求項 5】 上記バッファ手段の出力は、上記バッファ手段の入力へフィードバックされていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の液晶駆動装置。

【請求項 6】 上記生成手段において隣り合う 2 つの第 1 参照電圧間に第 2 参照電圧を生成するために設けられる 2 つの抵抗の比と、上記分圧手段においてそれら 2 つの第 1 参照電圧間に設けられる 2 つの抵抗の比とが等しいことを特徴とする請求項 5 に記載の液晶駆動装置。

【請求項 7】 上記バッファ手段の出力を導通または遮断

## 2

するスイッチ手段を備えているとともに、

上記バッファ手段への入力、上記スイッチ手段の出力へ接続されるように分岐されていることを特徴とする請求項 4 に記載の液晶駆動装置。

【請求項 8】 上記バッファ手段内部における動作電流の制御信号と、上記スイッチ手段の制御信号とは同一の信号であることを特徴とする請求項 7 に記載の液晶駆動装置。

【請求項 9】 上記バッファ手段内部の動作電流は、上記第 2 参照電圧が入力された時点から所定時間経過後に遮断されることを特徴とする請求項 6 ないし 8 のいずれか 1 項に記載の液晶駆動装置。

【請求項 10】 上記基準電圧発生手段は、上記複数の第 1 参照電圧が入力される入力端子をさらに備えている一方、上記生成手段によって生成される上記第 2 参照電圧に対応する第 1 参照電圧が入力される入力端子は間引かれていることを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の液晶駆動装置。

【請求項 11】 請求項 1 ないし 10 のいずれか 1 項に記載の液晶駆動装置と、

上記液晶駆動装置によって駆動される液晶パネルとを備えていることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶パネル（液晶表示部）を駆動する液晶駆動装置と、それを備えた液晶表示装置とに関するものであり、特に、回路規模を小さく抑え、回路の消費電力を低減できる液晶駆動装置と、それを備えた液晶表示装置とに関するものである。

## 【0002】

【従来の技術】 図 9 は、アクティブマトリクス方式の代表例である TFT（薄膜トランジスタ）方式の液晶表示装置のブロック構成を示している。

【0003】 この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置とで構成されている。上記液晶表示部は、TFT 方式の液晶パネル 901 を備えている。この液晶パネル 901 内には、図示しない液晶表示素子と、対向電極（共通電極）906 とが設けられている。

【0004】 一方、上記液晶駆動装置は、それぞれ IC（Integrated Circuit）からなるソースドライバ 902 およびゲートドライバ 903 と、コントローラ 904 と、液晶駆動電源 905 とを備えている。

【0005】 ソースドライバ 902 やゲートドライバ 903 は、一般的には、配線のあるフィルム上に先の IC チップを搭載した、例えば TCP（Tape Carrier Package）を液晶パネルの ITO（Indium Tin Oxide；インジウムスズ酸化膜）端子上に実装し、接続したり、先の IC チップを ACF（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネルの ITO 端子上に熱圧着して実装し、接続する方法で構成されている。

【0006】また、液晶表示装置の小型化に対応するため、先のコントローラ904、液晶駆動電源905、ソースドライバ902、ゲートドライバ903が1チップで構成されたり、2ないし3チップで構成されたりすることもある。図9では、これらの構成を機能別に分離した形で示している。

【0007】コントローラ904は、デジタル化された表示データ（例えば、赤、緑、青に対応するRGBの各信号）および各種制御信号をソースドライバ902に出力すると共に、各種制御信号をゲートドライバ903に出力している。ソースドライバ902への主な制御信号は、水平同期信号、スタートパルス信号およびソースドライバ用クロック信号等があり、図中ではS1で示されている。一方、ゲートドライバ903への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等があり、図中ではS2で示されている。なお、図中、各ICを駆動するための電源は省略している。

【0008】液晶駆動電源905は、ソースドライバ902およびゲートドライバ903へ液晶パネル表示用電圧（本発明に係るものとしては、階調表示用電圧を発生させるための参照電圧）を供給するものである。

【0009】外部から入力された表示データは、コントローラ904を通してデジタル信号でソースドライバ902へ上記表示データDとして入力される。ソースドライバ902は、入力されたデジタル表示データを時分割で内部にラッチし、その後、コントローラ904から入力される水平同期信号（ラッチ信号Ls（図13参照）とも言う）に同期してDA（デジタル・アナログ）変換を行う。そして、ソースドライバ902は、DA変換によって得られた階調表示用のアナログ電圧（階調表示電圧）を、液晶駆動電圧出力端子から、後述のソース信号ライン1004を介して、その液晶駆動電圧出力端子に対応した、液晶パネル901内の液晶表示素子（図示せず）へそれぞれ出力する。

【0010】次に、上記液晶パネル901について説明する。図10は、上記液晶パネル901の構成を示している。液晶パネル901には、画素電極1001、画素容量1002、画素への電圧印加をオン／オフする素子としてのTFT1003、ソース信号ライン1004、ゲート信号ライン1005、液晶パネルの対向電極1006（図9の対向電極906に相当）が設けられている。図中、Aで示す領域が1画素分の液晶表示素子である。

【0011】ソース信号ライン1004には、ソースドライバ902から、表示対象の画素の明るさに応じた階調表示電圧が与えられる。ゲート信号ライン1005には、ゲートドライバ903から、縦方向に並んだTFT1003が順次オンするように走査信号が与えられる。オン状態のTFT1003を通して、該TFT1003のドレインに接続された画素電極1001にソース信号

ライン1004の電圧が印加されると、画素電極1001と対向電極1006との間の画素容量1002に電荷が蓄積され、液晶の光透過率が変化し、表示が行われる。

【0012】図11および図12は、液晶駆動波形の一例を示している。これらの図中、1101、1201はソースドライバ902からの出力信号の駆動波形、1102、1202はゲートドライバ903からの出力信号の駆動波形である。1103、1203は対向電極1006の電位であり、1104、1204は画素電極1001の電圧波形である。液晶材料に印加される電圧は、画素電極1001と対向電極1006との電位差であり、図中では斜線で示されている。

【0013】例えば、図11では、駆動波形1102で示すゲートドライバ903からの出力信号がHighレベルのときTFT1003がオンし、駆動波形1101で示すソースドライバ902からの出力信号と対向電極1006の電位1103との差が画素電極1001に印加される。このあと、駆動波形1102で示されるように、ゲートドライバ903からの出力信号はLowレベルとなり、TFT1003はオフ状態となる。このとき、画素では、画素容量1002があるため、上述の電圧が維持される。図12の場合も同様である。

【0014】図11と図12とは、液晶材料に印加される電圧が異なる場合を示しており、図11の場合は、図12の場合と比べて印加電圧が高い。このように、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変え、階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択肢の数により決定される。

【0015】ところで、本発明は、特に大きな回路規模および消費電力を占める階調表示用回路の中の基準電圧発生回路や出力回路に関するものであるため、以後、ソースドライバ902を中心に液晶駆動装置の説明を行う。

【0016】図13は、上記ソースドライバ902のブロック構成を示している。以下、基本的な部分のみ説明する。コントローラ904から転送されてきた各デジタル表示データDR・DG・DB（例えば各6ビット）は、一旦、入力ラッチ回路1301でラッチされる。なお、各デジタル表示データDR・DG・DBは、それぞれ赤、緑、青に対応している。

【0017】一方、スタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路1302内を転送され、シフトレジスタ回路1302の最終段から次段のソースドライバにスタートパルス信号SP（カスケード出力信号S）として出力される。

【0018】このシフトレジスタ回路1302の各段からの出力信号に同期して、先の入力ラッチ回路1301にてラッチされたデジタル表示データDR・DG・DB

は、時分割でサンプリングメモリ回路1303内に一旦記憶されると共に、次のホールドメモリ回路1304に出力される。

【0019】1水平同期期間の表示データがサンプリングメモリ回路1303に記憶されると、ホールドメモリ回路1304は、水平同期信号（ラッチ信号 $L_s$ ）に基づいてサンプリングメモリ回路1303からの出力信号を取り込み、次のレベルシフト回路1305に出力すると共に、次の水平同期信号が入力されるまでその表示データを維持する。

【0020】レベルシフト回路1305は、液晶パネルへの印加電圧レベルを処理する次段のDA変換回路1306に適合させるため、信号レベルを昇圧等により変換する回路である。基準電圧発生回路1309は、先述の液晶駆動電源905（図9参照）からの参照電圧 $V_R$ に基づき、階調表示用の各種アナログ電圧を発生させ、DA変換回路1306に出力する。

【0021】DA変換回路1306は、基準電圧発生回路1309から供給される各種アナログ電圧から、レベルシフト回路1305にてレベル変換された表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路1307を介して、各液晶駆動電圧出力端子（以下、単に出力端子と記載する）1308から液晶パネル901の各ソース信号ラインへ出力される。出力回路1307は、基本的にはバッファ回路であり、例えば差動増幅回路を用いたボルテージフォロア回路で構成されるものである。

【0022】次に、本発明に特に関係する基準電圧発生回路1309およびDA変換回路1306について、それらの回路構成をさらに詳細に説明する。

【0023】図14は、基準電圧発生回路1309の回路構成例を示している。RGBに対応するデジタル表示データが各々例えば6ビットで構成されている場合、基準電圧発生回路1309は、 $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧を出力する。以下、その具体的構成について説明する。

【0024】基準電圧発生回路1309は、抵抗 $R_0 \sim R_7$ が直列に接続された抵抗分割回路で構成されており、最も簡単な構成となっている。上記の抵抗 $R_0 \sim R_7$ のそれぞれは、8本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 $R_0$ について説明すれば、図15に示すように、8本の抵抗素子 $R_{01}$ 、 $R_{02}$ 、 $\dots$ 、 $R_{08}$ が直列接続されて抵抗 $R_0$ が構成されている。また、他の抵抗 $R_1 \sim R_7$ についても上記した抵抗 $R_0$ と同様の構成である。したがって、基準電圧発生回路1309は、合計64本の抵抗素子が直列接続されて構成されていることになる。

【0025】また、基準電圧発生回路1309は、9種類の参照電圧 $V'_0$ 、 $V'_8$ 、 $\dots$ 、 $V'_{56}$ 、 $V'_{64}$ に対応する9つの中間調電圧入力端子を備えている。そして、

抵抗 $R_0$ の一端に、参照電圧 $V'_{64}$ に対応する中間調電圧入力端子が接続されている一方、抵抗 $R_0$ の他端、すなわち、抵抗 $R_0$ と抵抗 $R_1$ との接続点に、参照電圧 $V'_{56}$ に対応する中間調電圧入力端子が接続されている。以下、隣り合う各抵抗 $R_1 \cdot R_2$ 、 $R_2 \cdot R_3$ 、 $\dots$ 、 $R_6 \cdot R_7$ の接続点に、参照電圧 $V'_{48}$ 、 $V'_{40}$ 、 $\dots$ 、 $V'_8$ に対応する中間調電圧入力端子が接続されている。そして、抵抗 $R_7$ における抵抗 $R_6$ の接続点とは反対側に、参照電圧 $V'_0$ に対応する中間調電圧入力端子が接続されている。

【0026】この構成により、64本の抵抗素子の隣り合う2抵抗素子間から電圧 $V_1 \sim V_{63}$ を引き出すことが可能となる。そして、これらの電圧 $V_1 \sim V_{63}$ と、参照電圧 $V'_0$ からそのまま得られる電圧 $V_0$ とを合わせ、計64通りの階調表示用アナログ電圧 $V_0 \sim V_{63}$ を得ることができる。結局、基準電圧発生回路1309が抵抗分割回路で構成される場合、階調表示用アナログ電圧である電圧 $V_0 \sim V_{63}$ は、抵抗比によって決まることになる。64種類のアナログ電圧 $V_0 \sim V_{63}$ は、基準電圧発生回路1309からDA変換回路1306に入力される。

【0027】なお、一般的には、両端の参照電圧 $V'_0$ と $V'_{64}$ の2電圧は常に中間調電圧入力端子に入力されるが、残る $V'_8 \sim V'_{56}$ に対応する7本の中間調電圧入力端子は微調整用として使用され、実際にはこれらの端子に電圧が入力されない場合もある。

【0028】次に、DA変換回路1306について説明する。図16は、DA変換回路1306の一構成例を示している。なお、図中、1307は、先に示した出力回路の構成（ボルテージフォロア回路）を示している。

【0029】DA変換回路1306では、6ビットのデジタル信号からなる表示データに応じて、入力された64通りの電圧 $V_0 \sim V_{63}$ のうちの1つが選択されて出力されるように、MOSトランジスタやトランスミッションゲートがアナログスイッチとして配置されている。すなわち、6ビットのデジタル信号からなる表示データのそれぞれ（ $Bit_0 \sim Bit_5$ ）に応じて、上記スイッチがオン／オフされ、これにより、入力された64通りの電圧のうちの1つが選択されて出力回路1307に出力される。以下にこの様子を説明する。

【0030】6ビットのデジタル信号は、 $Bit_0$ がLSB（the Least Significant Bit）であり、 $Bit_5$ がMSB（the Most Significant Bit）である。上記スイッチは、2個で1組のスイッチ対を構成している。 $Bit_0$ には32組のスイッチ対（64個のスイッチ）が対応しており、 $Bit_1$ には16組のスイッチ対（32個のスイッチ）が対応している。以下、 $Bit$ ごとに個数が2分の1になり、 $Bit_5$ には1組のスイッチ対（2個のスイッチ）が対応することになる。したがって、合計で、 $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = 63$

組のスイッチ対(126個のスイッチ)が存在する。

【0031】Bit 0に対応するスイッチの一端は、先の電圧 $V_0 \sim V_{63}$ が入力される端子となっている。そして、上記スイッチの他端は2個1組で接続されると共に、さらに次のBit 1に対応するスイッチの一端に接続されている。以降、この構成がBit 5に対応するスイッチまで繰り返される。最終的には、Bit 5に対応するスイッチから1本の線が引き出され、出力回路1307に接続されている。

【0032】Bit 0～Bit 5に対応するスイッチを、それぞれスイッチ群 $SW_0 \sim SW_5$ と呼ぶことにする。スイッチ群 $SW_0 \sim SW_5$ の各スイッチは、6ビットのデジタル表示データ(Bit 0～Bit 5)により、以下のように制御される。

【0033】スイッチ群 $SW_0 \sim SW_5$ では、対応するBitが0(Lowレベル)のときは各2個1組のアナログスイッチの一方(同図では下側のスイッチ)がONし、逆に、対応するBitが1(Highレベル)のときは別のアナログスイッチ(同図では上側のスイッチ)がONする。同図では、Bit 0～Bit 5が(111111)であり、全てのスイッチ対において上のスイッチがオン、下のスイッチがオフとなっている。この場合、DA変換回路1306からは、電圧 $V_{63}$ が出力回路1307に出力される。

【0034】同様に、例えば、Bit 5～Bit 0が(111110)であれば、DA変換回路1306からは、電圧 $V_{62}$ が出力回路1307に出力され、(000001)であれば電圧 $V_1$ が出力され、(000000)であれば電圧 $V_0$ が出力される。このようにして、デジタル表示に応じた階調表示用アナログ電圧 $V_0 \sim V_{63}$ の中から1つが選択され、階調表示が実現される。

【0035】上記した基準電圧発生回路1309は、通常1つのソースドライバICに1つ設置され、共有化して使用される。一方、DA変換回路1306および出力回路1307は、各出力端子1308に対応して設けられている。

【0036】また、カラー表示の場合は、出力端子1308は、各色に対応して使用されるので、その場合は、DA変換回路1306および出力回路1307は、画素ごとで、かつ、1色につき各々1回路が使用される。すなわち、液晶パネル901の長辺方向の画素数がNであれば、赤、緑、青の各色用の出力端子1308を、それぞれR、G、Bに添え字n( $n=1, 2, \dots, N$ )を付して表せば、この出力端子1308としては、 $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_N, G_N, B_N$ があり、そのため、3N個のDA変換回路1306および出力回路1307が必要になる。

【0037】ところで、実際の液晶表示装置における階調表示では、液晶材料の光透過特性と人の視覚特性との違いを調整し、自然な階調表示を行うために $\gamma$ 補正を行

っている。この $\gamma$ 補正としては、基準電圧発生回路1309にて、各種階調表示用アナログ電圧値を、内部抵抗を等分分割して発生させるのではなく、非等分に分割して発生させる方法が一般的である。

【0038】図17は、 $\gamma$ 補正を行った場合における、階調表示データ(デジタル表示データ)と液晶駆動出力電圧(階調表示用アナログ電圧)との関係を示している。同図に示すように、デジタル表示データに対する階調表示用アナログ電圧値に折れ線特性を持たせている。

【0039】この特性を実現するために、図14に示す基準電圧発生回路1309では、各抵抗 $R_0, \dots, R_7$ 内は等分に8分割しているが、各抵抗 $R_0, \dots, R_7$ 同士は、先の $\gamma$ 補正を実現できるような低抵抗値としている。つまり、例えば、抵抗 $R_0$ で表される直列に接続された8本の抵抗素子 $R_{01}, R_{02}, \dots, R_{08}$ は全て同じ抵抗値とするが、各8本の抵抗素子をたばねた形で表される抵抗 $R_0, R_1, \dots, R_7$ の抵抗値の比を、先の $\gamma$ 補正を実現できるような比に変えることで、 $\gamma$ 補正を実現している。

【0040】

【発明が解決しようとする課題】以上、TFT方式の液晶表示装置の階調表示を行うための駆動装置について述べた。

【0041】ところで、これまでの液晶表示装置は、テレビ用画面やパソコン用画面等への活用のため、大画面化の要求のもとで開発が進められてきた。しかし、一方では、最近、急速に市場が拡大している携帯電話等の携帯端末への活用のため、携帯用表示装置に適した液晶表示装置ならびに液晶駆動装置も求められている。

【0042】この携帯端末の用途に合致した液晶表示装置ならびに液晶駆動装置の画面サイズは、基本的には小型である。したがって、これに合わせて液晶駆動装置も、小型、軽量、低消費電力(電池駆動のため)、さらには低コストであることが強く求められる。

【0043】ここで、先述の従来の階調表示を行うための回路構成は、直列に接続された抵抗回路から成る基準電圧発生回路から出力された各種アナログ電圧を、アナログスイッチ回路で構成されたDA変換回路によりデジタル表示データに応じてアナログスイッチを介して選択し、この選択したアナログ電圧値を出力回路(ボルテージフォロア回路)により階調表示用液晶駆動電圧として出力するものである。この中で、上記ボルテージフォロア回路は差動増幅回路を含むアナログ回路であるため、回路占有面積が大きく、かつ、消費電流が大きい回路である。

【0044】これまでの大画面用の表示装置では、液晶パネルの画素やソース信号ラインの負荷容量も大きいため、これら画素やソース信号ライン容量を充放電し、波形なまりのない、つまり所定の駆動電圧を速やかに実現するためには出力回路としてボルテージフォロア回路等

のバッファ回路が必須であった。このため、消費電流が大きいにもかかわらず、ボルテージフォロア回路が各出力端子毎に1つ設置されてきた。

【0045】しかし、携帯端末用の表示装置では、画面サイズが小さく、また画素の面積も小さいことから分解能に対する仕様は厳しくなく、560×240画素程度の中小型液晶表示装置が用いられることが多い。したがって、画素やソース信号ラインの負荷容量は小さくなる。このことは、出力段にこれまでのような駆動能力がなくてもよいことを意味する。

【0046】よって、携帯端末用の表示装置では、先の消費電流の大きい出力回路つまりボルテージフォロア回路を省略して、直列に接続された抵抗回路から成る基準電圧発生回路から出力された各種アナログ電圧を、アナログスイッチ回路で構成されたDA変換回路によりデジタル表示データに応じてアナログスイッチを介して選択し、この選択したアナログ電圧値を直接、階調表示用液晶駆動電圧として出力する構成が考えられる。

【0047】しかし、この方法では、基準電圧発生回路での抵抗を介して階調表示用アナログ電圧が液晶パネルに供給されるため、やはり、液晶パネルの画素やソース信号ライン容量を充放電することで液晶駆動電圧波形の立ち上がりや立ち下がりが鈍るという問題が生ずる。

【0048】本発明は、上記の問題点を解決するためになされたもので、その目的は、液晶パネルへの出力端子ごとに出力回路を設けなくても、駆動波形のなまりを防止することができ、これによって小型で低消費電力の携帯端末用の液晶表示装置を実現することができる液晶駆動装置およびそれを備えた液晶表示装置を提供することである。

#### 【0049】

【課題を解決するための手段】本発明に係る液晶駆動装置は、上記の課題を解決するために、入力される複数の第1参照電圧から、 $n$ ビットの表示データに応じた $2^n$ 種類の階調表示用電圧を発生させる基準電圧発生手段と、上記 $2^n$ 種類の階調表示用電圧の中から、入力される表示データに応じた電圧を選択すると共に、選択した電圧を複数の出力端子を介してそのまま液晶パネルに出力する選択手段とを備えた液晶駆動装置であって、上記基準電圧発生手段は、上記複数の第1参照電圧を昇順または降順に並べたときに、一部の隣り合う2つの第1参照電圧からその間の電圧を第2参照電圧として新たに生成する生成手段と、上記第2参照電圧をインピーダンス変換して出力するバッファ手段と、隣り合う2つの第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間を分圧することによって、上記 $2^n$ 種類の階調表示用電圧を引き出す分圧手段とを備えていることを特徴としている。

【0050】上記の構成によれば、基準電圧発生手段において発生した $2^n$ 種類の階調表示用電圧のうち、入力

される表示データに応じた電圧が選択手段によって選択され、複数の出力端子を介して液晶パネルに直接出力される。

【0051】ここで、上記基準電圧発生手段においては、入力される複数の第1参照電圧を昇順または降順に並べたときに、そのうちの一部の隣り合う2つの第1参照電圧から、その間の電圧が生成手段によって第2参照電圧として生成される。上記第2参照電圧は、バッファ手段によってインピーダンス変換されることで、その波形なまりが低減され、その状態で分圧手段に入力される。分圧手段では、隣り合う2つの第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間が分圧され、これによって $n$ ビットの表示データに応じた上記 $2^n$ 種類の階調表示用電圧が引き出されることとなる。

【0052】このように、分圧手段の前段にバッファ手段を設けることで、分圧手段に供給する電圧の波形なまりを低減することができるので、分圧手段から出力される階調表示用電圧の出力波形のなまりを低減することができる。これにより、上記階調表示用電圧を選択手段を介して直接、液晶パネルに出力しても、出力波形のなまりに起因して表示品位が低下するのが抑制される。つまり、従来のように、占有面積が大きく、また消費電力の大きい出力回路を液晶パネルへの出力端子毎に設けなくても、良好な表示品位を確保することが可能となる。一方、基準電圧発生手段にバッファ手段を設けるとは言っても、そのレイアウト面積や消費電力は、複数の出力端子ごとにバッファ手段を設ける従来に比べて格段に小さい。

【0053】したがって、上記構成によれば、小型で低消費電力の液晶駆動装置を実現することができる。これにより、上記液晶駆動装置を液晶表示装置に適用することによって、小型で低消費電力の携帯端末用の中小型液晶表示装置を実現することができる。

【0054】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記分圧手段は、隣り合う第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間に対応して設けられる抵抗が直列接続された第1抵抗分割回路で構成されている一方、上記生成手段は、隣り合う第1参照電圧と第2参照電圧との間に対応して設けられる抵抗が直列接続された第2抵抗分割回路で構成されており、上記第1抵抗分割回路を構成する各抵抗の比、および、上記第2抵抗分割回路を構成する各抵抗の比は、上記 $2^n$ 種類の階調表示用電圧に対する、自然な階調表示を行うためのガンマ補正を実現できるような比にそれぞれ設定されていることを特徴としている。

【0055】上記の構成によれば、上記分圧手段の第1抵抗分割回路を構成する各抵抗の比、および、上記生成手段の第2抵抗分割回路を構成する各抵抗の比は、ガンマ補正を実現できるような比にそれぞれ設定されている。このように、第1抵抗分割回路および第2抵抗分割



回路の両方でガンマ補正が実現されるので、第1抵抗分割回路から引き出される2<sup>nd</sup>種類の階調表示用電圧に基づいて、人間の視覚特性に応じた自然な階調表示を確実に実現することが可能となる。

【0056】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記生成手段は、上記複数の第1参照電圧の入力範囲の最小値および最大値以外の電圧を上記第2参照電圧として生成することができるよう設けられていることを特徴としている。

【0057】第1参照電圧の入力範囲の最大値および最小値は、基準電圧発生手段に確実に入力されるが、上記入力範囲におけるそれ以外の電圧は、微調整用として用いられるために、場合によっては、基準電圧発生手段に入力されない場合もある。

【0058】しかし、上記構成では、生成手段が、上記最小値および最大値以外の電圧を上記第2参照電圧として生成するので、第1参照電圧の入力範囲の最大値および最小値以外の電圧が基準電圧発生手段に入力されない場合であっても、入力される残りの第1参照電圧と、生成手段が生成する第2参照電圧とから、上記分圧手段にて、2<sup>nd</sup>種類の階調表示用電圧を確実に得ることができる。

【0059】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記バッファ手段は、外部から入力される制御信号に基づいて、当該バッファ手段内部の動作電流を制御する制御手段を備えていることを特徴としている。

【0060】上記の構成によれば、制御手段が外部からの制御信号に基づいて、例えば、バッファ手段の動作必要時には、バッファ手段内部で動作電流が流れるような制御を行う一方、バッファ手段の動作不必要時には、バッファ手段内部で動作電流が流れないような制御を行う。これにより、動作不必要時に、無駄に電力が消費されるのを確実に防止することができ、バッファ手段の低消費電力化を確実に図ることができる。

【0061】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記バッファ手段の出力は、上記バッファ手段の入力へフィードバックされていることを特徴としている。

【0062】上記の構成によれば、バッファ手段の出力は、バッファ手段の入力へとフィードバックされている。すなわち、バッファ手段はボルテージフォロアとしての役割を果たすので、バッファ手段の出力は、低出力インピーダンス状態で出力される。

【0063】これにより、例えば液晶パネルの表示開始直後において、大きな電流が流れた場合でも、より早く階調表示用電圧を安定させることができ、良質の画像を得ることができる。

【0064】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記生成手段において隣り合う2つ

の第1参照電圧間に第2参照電圧を生成するために設けられる2つの抵抗の比と、上記分圧手段においてそれら2つの第1参照電圧間に設けられる2つの抵抗の比とが等しいことを特徴としている。

【0065】上記の構成によれば、生成手段において分圧されてバッファ手段に入力される電圧値と、バッファ手段から分圧手段に出力される電圧値とが常に等しくなる。

【0066】すなわち、バッファ手段内部で動作電流が流れないような制御を行っても、第2参照電圧を維持することができる。したがって、バッファ手段内部の電流を遮断しても、液晶パネルでの表示画像の品位を維持することができる。

【0067】また、バッファ手段内部へ再び動作電流を導通させた場合でも、バッファ手段の出力は、バッファ手段の入力へとフィードバックされているので、より早く階調表示用電圧を安定させることができる。

【0068】したがって、液晶パネルで画像を表示している際において、バッファ手段の動作電流を切断したり、導通したりしても、液晶パネルの表示画像の品位への影響が低減されている。

【0069】これにより、液晶パネルの表示中においても、バッファ手段の動作不必要時に無駄に電力が消費されることを防止することができ、消費電力をより低くすることができる。

【0070】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記バッファ手段の出力を導通または遮断するスイッチ手段を備えているとともに、上記バッファ手段への入力、上記スイッチ手段の出力へ接続されるように分岐されていることを特徴としている。

【0071】上記の構成によれば、スイッチ手段が導通状態であるとき、バッファ手段の出力は、スイッチ手段を介してバッファ手段にフィードバックされる。すなわち、バッファ手段はボルテージフォロアとしての役割を果たすので、バッファ手段の出力は、低出力インピーダンス状態で出力される。

【0072】これにより、例えば液晶パネルの表示開始直後において、大きな電流が流れた場合でも、より早く階調表示用電圧を安定させることができ、良質の画像を得ることができる。

【0073】一方、スイッチ手段がバッファ手段の出力を遮断しているとき、生成手段で生成された第2参照電圧は、バッファ手段への入力からスイッチ手段の出力へ接続された経路を経由して、分圧手段へと出力される。

【0074】これにより、例えば液晶パネルの表示が安定した後、制御手段によりバッファ手段内部で動作電流が流れないような制御を行っても、第2参照電圧を維持することができる。すなわち、バッファ手段内部の電流を遮断しても、液晶パネルでの表示画像の品位を維持することができる。

【0075】これにより、液晶パネルの表示中においても、バッファ手段の動作不必要時に無駄に電力が消費されることを防止することができ、消費電力をより低くすることができる。

【0076】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記バッファ手段内部における動作電流の制御信号と、上記スイッチ手段の制御信号とは同一の信号であることを特徴としている。

【0077】上記の構成によれば、バッファ手段内部における動作電流の制御信号と、スイッチ手段の制御信号とは同一の信号とされている。

【0078】これにより、液晶駆動装置の入力端子を、これら2つの制御信号の間で共有化することができ、端子数を低減することができる。

【0079】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記バッファ手段内部の動作電流は、上記第2参照電圧が入力された時点から所定時間経過後に遮断されることを特徴としている。

【0080】上記の構成によれば、バッファ手段内部の動作電流は、第2参照電圧が入力された時点から所定時間経過後に遮断される。

【0081】すなわち、液晶パネルの表示中において、よりこまめにバッファ手段内部の動作電流が遮断される。これにより、液晶駆動装置の消費電力をさらに低くすることができる。

【0082】本発明に係る液晶駆動装置は、上記の課題を解決するために、上記基準電圧発生手段は、上記複数の第1参照電圧が入力される入力端子をさらに備えている一方、上記生成手段によって生成される上記第2参照電圧に対応する第1参照電圧が入力される入力端子は間引かれていることを特徴としている。

【0083】上記の構成によれば、上記第2参照電圧に対応する第1参照電圧の入力端子が間引かれているので、例えば、上記第1参照電圧を供給する液晶駆動電源から液晶駆動装置までの必要配線数を低減することができる。これにより、液晶駆動装置ひいてはこれを備えた液晶表示装置の小型化の効果をさらに高めることができる。

【0084】本発明に係る液晶表示装置は、上記の課題を解決するために、上述した液晶駆動装置と、上記液晶駆動装置によって駆動される液晶パネルとを備えていることを特徴としている。

【0085】上述した液晶駆動装置によれば、表示品位を損なうことなく液晶駆動装置の小型化および低消費電力化を実現することができるので、この液晶駆動装置と液晶パネルとで液晶表示装置を構成することにより、例えば、小型で低消費電力の携帯端末用の中小型液晶表示装置を実現することができる。

【0086】

【発明の実施の形態】 【実施の形態1】 本発明の実施の

一形態について、図面に基づいて説明すれば以下の通りである。

【0087】なお、以下で説明する液晶駆動装置を備えた液晶表示装置の構成、上記液晶表示装置の液晶パネルの構成、および、液晶駆動波形については、図9ないし図12に基づいて先に説明した従来の構成と同一であるため、ここではその説明を省略する。以下では、主に、本発明の特徴である液晶駆動装置（ソースドライバ）について説明する。

10 【0088】図2は、本発明の液晶駆動装置としてのソースドライバ1の概略の構成を示している。上記ソースドライバ1は、入力ラッチ回路2と、シフトレジスタ回路3と、サンプリングメモリ回路4と、ホールドメモリ回路5と、レベルシフト回路6と、基準電圧発生回路7と、DA変換回路8とで構成されている。

20 【0089】図示しないコントローラから転送されてきた各デジタル表示データDR・DG・DB（例えば各6ビット）は、一旦、入力ラッチ回路2でラッチされる。なお、各デジタル表示データDR・DG・DBは、それぞれ赤、緑、青に対応している。

【0090】一方、スタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路3内を転送され、シフトレジスタ回路3の最終段から次段のソースドライバにスタートパルス信号SP（カスケード出力信号S）として出力される。

30 【0091】このシフトレジスタ回路3の各段からの出力信号に同期して、先の入力ラッチ回路2にてラッチされたデジタル表示データDR・DG・DBは、時分割でサンプリングメモリ回路4内に一旦記憶されると共に、次のホールドメモリ回路5に出力される。

【0092】1水平同期期間の表示データがサンプリングメモリ回路4に記憶されると、ホールドメモリ回路5は、水平同期信号（ラッチ信号Ls）に基づいてサンプリングメモリ回路4からの出力信号を取り込み、次のレベルシフト回路6に出力すると共に、次の水平同期信号が入力されるまでその表示データを維持する。

40 【0093】レベルシフト回路6は、液晶パネルへの印加電圧レベルを処理する次段のDA変換回路8に適合させるため、信号レベルを昇圧等により変換する回路である。基準電圧発生回路7は、図示しない液晶駆動電源からの参照電圧VRに基づき、階調表示用の各種アナログ電圧を発生させ、DA変換回路8に出力する。

【0094】なお、基準電圧発生回路7の構成は、従来とは異なっており、この点が本発明の特徴となっているが、その詳細については後述する。

50 【0095】DA変換回路8は、基準電圧発生回路7から供給される各種アナログ電圧から、レベルシフト回路6にてレベル変換された表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、DA変換回路8からそのまま各液晶駆動電圧出力端子（以

下、単に出力端子と記載する) 9 を介して液晶パネルの各ソース信号ラインへ出力される。

【0096】したがって、上記ソースドライバ1では、従来、各出力端子9に対応して設けられていた出力回路に相当する回路が設けられてはならず、DA変換回路8からの出力が直接液晶パネルに供給される構成となっている。

【0097】上記の基準電圧発生回路7およびDA変換回路8は、DA変換器を構成している。液晶表示装置においては、このDA変換器を用いて液晶駆動回路(ソースドライバ)を構成することで、液晶パネルに表示するデジタルデータ(表示データDR、DG、DB)をDA変換器によりDA変換して、各液晶表示素子に印加するようになっているとも言える。

【0098】ここで、図3は、上記DA変換器の概略の構成を示している。同図に示すように、DA変換回路8の構成は、図16で示した従来の構成と同じである。また、各出力端子9ごとに設けられる出力回路としてのボルテージフォロア回路が省かれている。したがって、上記したように、DA変換回路8(アナログスイッチ回路)によりデジタル表示データに応じて選択された階調表示用アナログ電圧はそのまま液晶駆動電圧として液晶パネルのソース信号ラインに印加されることが分かる。

【0099】次に、本発明の特徴である基準電圧発生回路7の詳細について説明する。なお、以下では、デジタル表示データDR・DG・DBが各々6ビットで構成されている場合を例に挙げて説明する。

【0100】図1は、基準電圧発生回路7の構成の詳細を示している。基準電圧発生回路7は、入力される複数の参照電圧(第1参照電圧)から、nビット(ここでは6ビット)の表示データに応じた $2^n$ 種類(ここでは64種類)の階調表示用電圧を発生させるものである。このため、上記したDA変換回路8は、基準電圧発生回路7にて発生された上記 $2^n$ 種類の階調表示用電圧の中から、入力される表示データに応じた電圧を選択すると共に、選択した電圧を複数の出力端子を介してそのまま液晶パネルに出力する選択手段を構成していると言える。

【0101】上記複数の参照電圧としては、ここでは、例えば、7種類の参照電圧 $V'_0$ 、 $V'_8$ 、 $V'_{16}$ 、 $V'_{24}$ 、 $V'_{40}$ 、 $V'_{56}$ 、 $V'_{64}$ が存在しているものとして話を進める。したがって、基準電圧発生回路7は、同図に示すように、上記7種類の参照電圧のそれぞれに対応した中間調電圧入力端子 $T_0$ 、 $T_8$ 、 $T_{16}$ 、 $T_{24}$ 、 $T_{40}$ 、 $T_{56}$ 、 $T_{64}$ を備えている。図14で示した従来と違うのは、本実施形態では、参照電圧 $V'_{32}$ 、 $V'_{48}$ に対応する中間調電圧入力端子が省かれている点である。

【0102】基準電圧発生回路7は、さらに、生成回路11(生成手段)と、バッファ回路12・13(バッファ手段)と、抵抗分割回路14(分圧手段、第1抵抗分割回路)とを含んで構成されている。

【0103】生成回路11は、上記7種類の参照電圧を昇順または降順に並べたときに、一部の隣り合う2つの参照電圧からその間の電圧を新たに生成する回路であり、抵抗 $R_{11}$ ・ $R_{12}$ ・ $R_{13}$ ・ $R_{14}$ を直列接続してなる抵抗分割回路(第2抵抗分割回路)で構成されている。

【0104】本実施形態では、直列接続された抵抗 $R_{11}$ ・ $R_{12}$ が参照電圧 $V'_{40}$ ・ $V'_{56}$ 間に対応して設けられており、また、直列接続された抵抗 $R_{13}$ ・ $R_{14}$ が参照電圧 $V'_{24}$ ・ $V'_{40}$ 間に対応して設けられている。これにより、抵抗 $R_{11}$ ・ $R_{12}$ の接続点から、参照電圧 $V'_{40}$ ・ $V'_{56}$ 間の電圧が抵抗 $R_{11}$ ・ $R_{12}$ の抵抗比に応じて引き出されることとなり、同様に、抵抗 $R_{13}$ ・ $R_{14}$ の接続点から、参照電圧 $V'_{24}$ ・ $V'_{40}$ 間の電圧が抵抗 $R_{13}$ ・ $R_{14}$ の抵抗比に応じて引き出されることとなる。

【0105】生成回路11にて新たに生成された電圧を第2参照電圧とすると、上記生成回路11の構成により、抵抗 $R_{11}$ ・ $R_{12}$ ・ $R_{13}$ ・ $R_{14}$ は、隣り合う第1参照電圧と第2参照電圧との間に対応してそれぞれ設けられていると言える。なお、本実施形態では、非入力である参照電圧 $V'_{32}$ ・ $V'_{48}$ が上記第2参照電圧として生成回路11にて発生すると考えてもよい。

【0106】また、抵抗 $R_{11}$ ・ $R_{12}$ ・ $R_{13}$ ・ $R_{14}$ の抵抗比は、抵抗分割回路14にて、同じく、隣り合う第1参照電圧と第2参照電圧との間に対応して設けられる後述の抵抗 $R_1$ ・ $R_2$ ・ $R_3$ ・ $R_4$ の抵抗比と同じになるように設定されている。

【0107】バッファ回路12・13は、生成回路11にて新たに生成された電圧をインピーダンス変換して出力する回路であり、例えばボルテージフォロア回路で構成されている。バッファ回路12・13は、上記のインピーダンス変換によって出力波形のなまりを低減する機能を有している。

【0108】このことから、バッファ回路12・13は、抵抗分割回路14から64種類の階調表示用電圧 $V'_0 \sim V'_{63}$ をDA変換回路8(図2、図3参照)を介して直接、液晶パネルのソース信号ラインに出力した際に、出力波形の立ち上がりまたは立ち下がりになまりが生じると電圧に対応して設けられればよいと言える。このことを考慮して、本実施形態では、バッファ回路12は、例えば生成回路11の抵抗 $R_{11}$ ・ $R_{12}$ の接続部と、抵抗分割回路14の抵抗 $R_1$ ・ $R_2$ との接続部との間に設けられている。一方、バッファ回路13は、生成回路11の抵抗 $R_{13}$ ・ $R_{14}$ の接続部と、抵抗分割回路14の抵抗 $R_3$ ・ $R_4$ との接続部との間に設けられている。

【0109】抵抗分割回路14は、隣り合う2つの第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間を分圧することによって、 $2^n$ 種類の階調表示用電圧を引き出す回路であり、具体的には以下の構成となっている。

【0110】この抵抗分割回路14は、直列接続された抵抗 $R_0 \sim R_7$ で構成されている。上記の抵抗 $R_0 \sim R_7$ のそれぞれは、さらに8本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 $R_0$ について説明すれば、図15で示した従来と同様に、8本の抵抗素子 $R_{01}, R_{02}, \dots, R_{08}$ が直列接続されて抵抗 $R_0$ が構成されている。また、他の抵抗 $R_1 \sim R_7$ についても上記した抵抗 $R_0$ と同様の構成である。したがって、抵抗分割回路14は、合計64本の抵抗素子が直列接続されて構成されていることになる。

【0111】そして、抵抗 $R_0$ の一端に、参照電圧 $V'$ <sub>64</sub>に対応する中間調電圧入力端子 $T_{64}$ が接続されている一方、抵抗 $R_0$ の他端、すなわち、抵抗 $R_0$ と抵抗 $R_1$ との接続点に、参照電圧 $V'$ <sub>56</sub>に対応する中間調電圧入力端子 $T_{56}$ が接続されている。また、抵抗 $R_2 \cdot R_3$ 、 $R_4 \cdot R_5$ 、 $R_5 \cdot R_6$ 、 $R_6 \cdot R_7$ の接続点に、参照電圧 $V'$ <sub>40</sub>、 $V'$ <sub>24</sub>、 $V'$ <sub>16</sub>、 $V'$ <sub>8</sub>に対応する中間調電圧入力端子 $T_{40}$ 、 $T_{24}$ 、 $T_{16}$ 、 $T_8$ がそれぞれ接続されている。そして、抵抗 $R_7$ における抵抗 $R_6$ の接続点とは反対側に、参照電圧 $V'$ <sub>0</sub>に対応する中間調電圧入力端子 $T_0$ が接続されている。

【0112】一方、抵抗 $R_1 \cdot R_2$ の接続点には、バッファ回路12からの出力が接続されており、抵抗 $R_3 \cdot R_4$ の接続点には、バッファ回路13からの出力が接続されている。

【0113】この構成により、抵抗分割回路14を構成する64本の抵抗素子の隣り合う2抵抗素子間から電圧 $V_1 \sim V_{63}$ を引き出すことが可能となる。そして、これらの電圧 $V_1 \sim V_{63}$ と、参照電圧 $V'$ <sub>0</sub>からそのまま得られる電圧 $V_0$ とを合わせて、計64通りのアナログ電圧 $V_0 \sim V_{63}$ を階調表示用電圧として得ることができる。したがって、電圧 $V_0 \sim V_{63}$ は、64本の抵抗素子の抵抗比によって決まる。

【0114】また、抵抗 $R_0 \sim R_7$ の抵抗比は、実際の液晶表示装置における液晶材料の光透過特性と人の視覚特性との違いを考慮して、自然な階調表示を行うための $\gamma$ 補正を実現できるような比に設定されている。つまり、階調表示用電圧が階調表示用データに応じて図17で示した折れ線特性を持つように、抵抗 $R_0 \sim R_7$ の抵抗比が設定されている。したがって、内部抵抗の等分分割ではなく非等分分割により、抵抗分割回路14は構成されている。

【0115】なお、本実施形態では、各抵抗 $R_0, \dots, R_7$ 内は等分に8分割している、つまり、各抵抗を構成する8本の抵抗素子は全て同じ抵抗値としているが、各抵抗素子が $\gamma$ 特性に対応した異なる抵抗値となってもよい。この場合、よりきめ細かい設定を行うことができる。

【0116】本実施形態では、上記したように、抵抗分割回路14の前段の波形なまりが大きい箇所にバッファ

回路12・13を設けることにより、抵抗分割回路14に供給する参照電圧 $V'$ <sub>0</sub>～ $V'$ <sub>63</sub>の波形なまりを低減して、抵抗分割回路14から出力される階調表示用電圧 $V_0 \sim V_{63}$ の出力波形のなまりを低減することができる。これにより、 $\gamma$ 特性を実現するような抵抗比に設定された抵抗 $R_0 \sim R_7$ で作られた階調表示用電圧 $V_0 \sim V_{63}$ をアナログスイッチで構成されたDA変換回路8を介して直接、液晶パネルのソース信号ラインに出力しても、出力波形のなまりに起因して、負荷容量に対する充放電に要する時間が長引くのを回避することができ、実用上問題ない表示を行うことが可能となる。

【0117】したがって、従来のように、占有面積が大きく、また消費電力の大きいアナログ回路である出力回路を出力端子毎に設けなくても、良好な表示品位を確保することが可能となる。このように、表示品位を損なうことなく、低消費電力で動作する小型のソースドライバを実現できるので、本発明のソースドライバ1は、携帯端末等に用いられる中小型液晶表示装置に好適となる。

【0118】また、ソースドライバ1の小型化および低消費電力化は、コントローラ、液晶駆動電源、ゲートドライバを含む1チップ化、または2～3チップ化を容易にし、液晶駆動装置全体としての小型化および低消費電力化を実現するものである。また、液晶駆動装置全体の小型化により、低コスト化を併せて実現することも可能である。

【0119】また、本実施形態のように、ソースドライバ1内に1個設置される基準電圧発生回路7内にアナログ回路であるバッファ回路12・13を挿入しても、このバッファ回路12・13が占めるレイアウト面積や消費電力は、各出力端子9ごとに出力回路を設けていた従来に比べて格段に小さくなる。また、出力回路数が従来よりも減ることにより出力抵抗が減るため、DA変換回路8を構成するアナログスイッチのトランジスタのゲート幅を広げたりしてトランジスタを大きく構成してもなお、各出力端子9ごとに従来設けられていたアナログ回路である出力回路の省略によるレイアウト面積の縮小のほうがはるかに大きいものである。

【0120】なお、560×240画素の液晶パネルを備えた中小型液晶表示装置において、上記液晶パネルを駆動する液晶駆動装置として、参照電圧 $V'$ <sub>32</sub>に対応する中間調電圧入力端子 $T_{32}$ だけを省き、参照電圧 $V'$ <sub>24</sub>・ $V'$ <sub>40</sub>に対応してバッファ回路を1個だけ設けた液晶駆動装置を試作した場合でも、実用上問題ない表示動作を確認することができた。

【0121】勿論、さらに他の隣り合う参照電圧間（例えば参照電圧 $V'$ <sub>16</sub>・ $V'$ <sub>24</sub>間）に対応してバッファ回路を設ける構成であってもよい。

【0122】また、本実施形態では、生成回路11によって生成される第2参照電圧に対応する第1参照電圧

(例えば参照電圧  $V'_{32} \cdot V'_{48}$ ) が入力される入力端子は間引かれている。これは、生成回路 11 を設けることで、非入力の参照電圧に対応する第 2 参照電圧を得ることができ、非入力の参照電圧に対応する中間調電圧入力端子が不要だからである。

【0123】このように、非入力の参照電圧に対応する中間調電圧入力端子を間引くことにより、参照電圧を供給する液晶駆動電源からソースドライバ 1 までの必要配線数を低減することができ、上記した液晶駆動装置ひいては液晶表示装置の小型化の効果をさらに高めることができる。また、上記配線数を低減することによって、液晶駆動電源の出力回路を削減できると共に低消費電力化に貢献でき、また、上記配線にのって来るノイズの影響も低減されることとなる。さらに、出力端子 9 を含めて端子数が非常に多いソースドライバ 1 の端子数が減ること、ソースドライバ 1 の端子レイアウト設計が容易な方向になる。

【0124】なお、本実施形態では、中間調電圧入力端子を、9 端子から 7 端子に削減しているが、元々の入力端子から何端子を削減するかは、先に述べたように液晶パネルの負荷容量に対する充放電に要する時間が長くなるような電圧に対応してバッファ回路を設けることで決まることであり、一律に何端子を削減すればよいということとは言えない。

【0125】また、上記したように、生成回路 11 の抵抗  $R_{11} \cdot R_{12} \cdot R_{13} \cdot R_{14}$  の抵抗比は、抵抗分割回路 14 の抵抗  $R_1 \cdot R_2 \cdot R_3 \cdot R_4$  の抵抗比と同じになるように設定されているので、抵抗分割回路 14 の各抵抗が  $\gamma$  補正を実現できるような抵抗比で構成されることにより、生成回路 11 の各抵抗も  $\gamma$  補正を実現できるような抵抗比で構成されることになる。このように、生成回路 11 と抵抗分割回路 14 との両方で  $\gamma$  補正が実現されるので、抵抗分割回路 14 から引き出される 64 種類の階調表示電圧に基づいて、人間の視覚特性に応じた自然な階調表示を確実に実現することが可能となる。

【0126】また、バッファ回路 12・13 を設けることにより、生成回路 11 にて生成した第 2 参照電圧がバッファ回路 12・13 にて増幅されて抵抗分割回路 14 に供給されるため、生成回路 11 の抵抗  $R_{11} \cdot R_{12} \cdot R_{13} \cdot R_{14}$  を、抵抗  $R_1 \cdot R_2 \cdot R_3 \cdot R_4$  と比較して非常に高い抵抗値に設定することができ、抵抗  $R_{11} \cdot R_{12} \cdot R_{13} \cdot R_{14}$  の各抵抗値の設定自由度を広げることができる。

【0127】また、従来技術の欄でも述べたように、一般的には、両端の参照電圧  $V'_0$  と  $V'_{64}$  の 2 電圧は常に基準電圧発生回路 7 に入力されるが、残る参照電圧  $V'_8 \sim V'_{56}$  が入力される 7 本の中間調電圧入力端子  $T_8 \sim T_{56}$  は微調整用として使用され、実際にはこれらの端子に電圧が入力されない場合もある。

【0128】したがって、生成回路 11 は、本実施形態

のように、複数の第 1 参照電圧の入力範囲の中間もしくはその近傍の電圧（入力範囲の最小値である参照電圧  $V'_0$  および入力範囲の最大値である参照電圧  $V'_{64}$  以外の電圧）を上記第 2 参照電圧として生成することができ、ように設置されることが望ましく、バッファ回路は、生成回路 11 にて生成した上記第 2 参照電圧に対応して設けられることが望ましい。これにより、参照電圧  $V'_0$  および  $V'_{64}$  から離れた電圧が入力されない場合であっても、入力される残りの第 1 参照電圧と、生成回路 11 が生成する第 2 参照電圧とから、64 種類の階調表示用電圧  $V_0$  および  $V_{63}$  を確実に得ることができる。なお、複数の第 1 参照電圧の入力範囲の中間もしくはその近傍の電圧は、残り 7 種類の参照電圧  $V'_8$ 、 $V'_{16}$ 、 $V'_{24}$ 、 $V'_{32}$ 、 $V'_{40}$ 、 $V'_{48}$ 、 $V'_{56}$  のいずれであってもよい。

【0129】また、抵抗分割回路 14 の抵抗  $R_0 \sim R_7$  の抵抗比を変えることで  $\gamma$  補正を行った際に、抵抗値が高くなることによって出力波形のなまりが無視できなくなるような電圧に対応して、先の生成回路 11 およびバッファ回路を設けることが望ましい。

【0130】〔実施の形態 2〕本発明の他の実施の形態について、図面に基づいて説明すれば以下の通りである。なお、説明の便宜上、実施の形態 1 と同一の構成には同一の部材番号を付記し、その説明を省略する。

【0131】本実施形態では、基準電圧発生回路 7 が、外部（例えば図示しないコントローラ）からの制御信号  $C$  が入力される入力端子  $T_C$  を備えている点（図 4 参照）、および、バッファ回路 12（13）が、上記制御信号  $C$  に基づいて、回路内部の動作電流を制御する後述の制御部 22（図 5 参照）を備えている点以外は、実施の形態 1 と全く同じ構成である。したがって、以下では、これらの点について主に説明する。なお、バッファ回路 12・13 は同じ構成であるので、以下ではバッファ回路 12 を例に挙げて説明する。

【0132】図 5 は、バッファ回路 12 の概略の構成を示している。上記バッファ回路 12 は、ボルテージフォロア回路 21 と制御部 22 とで構成されている。

【0133】ボルテージフォロア回路 21 は、N チャンネル MOS（以下、NMOS と記載する）トランジスタ 23・24 と、P チャンネル MOS（以下、PMOS と記載する）トランジスタ 25・26 とを備えている。NMOS トランジスタ 23・24 は、差動対を構成している。一方、PMOS トランジスタ 25・26 は、カレントミラー回路（能動負荷回路）を構成している。

【0134】NMOS トランジスタ 23 のゲートは同相入力端子として入力側端子に接続されている。NMOS トランジスタ 23・24 のソースは互いに接続されており、制御部 22 の後述する NMOS トランジスタ 28 のドレインと接続されている。また、NMOS トランジスタ 24 のゲート（逆相入力端子）は、NMOS トランジ

スタ 35 のソースと NMOS トランジスタ 36 のドレインと接続され出力端子となっている。また、NMOS トランジスタ 35 のゲートは NMOS トランジスタ 24 のドレインに接続されている。そして、NMOS トランジスタ 35 のソースは電源 Vd に接続されている。

【0135】また、NMOS トランジスタ 23 のドレインは、PMOS トランジスタ 25 のドレインと接続されており、PMOS トランジスタ 25 のソースは電源 Vd に接続されている。一方、NMOS トランジスタ 24 のドレインは、PMOS トランジスタ 26 のドレインと接続されており、PMOS トランジスタ 26 のソースは電源 Vd に接続されている。

【0136】一方、制御部 22 は、差動増幅部の動作点を定めるバイアス電圧設定部 27 と、差動部の動作電流を流す NMOS トランジスタ 28 と、差動増幅部の動作電流の ON/OFF を行うスイッチング素子としての NMOS トランジスタ 29 と、出力部の動作点を定めるバイアス電圧設定部 32 と、出力部の動作電流を流す NMOS トランジスタ 36 と、出力部の動作電流の ON/OFF を行うスイッチング素子としての NMOS トランジスタ 37 とで構成されている。

【0137】バイアス電圧設定部 27 は、NMOS トランジスタ 30・31 で構成されている。NMOS トランジスタ 30 のゲートには、先の制御信号 C が入力される。NMOS トランジスタ 30 のソースは、NMOS トランジスタ 31 のゲートおよびドレインと、NMOS トランジスタ 28 のゲートとに接続されている。これにより、NMOS トランジスタ 28 のゲートにはバイアス電圧がかかることになる。また、NMOS トランジスタ 30 のドレインは、図示しない電源と接続されている。NMOS トランジスタ 31 のソースは、基準電位に接続されているか、または接地されている。

【0138】一方、出力部のバイアス電圧設定部 32 は、NMOS トランジスタ 33 と 34 で構成され、先の差動増幅部のバイアス設定部 27 と同じ構成である。NMOS トランジスタ 33 のゲートには、NMOS トランジスタ 37 のゲートと共に制御信号 C が入力されている。また、NMOS トランジスタ 33 のソースは NMOS トランジスタ 36 のゲートと接続され、NMOS トランジスタ 36 のソースは NMOS トランジスタ 37 のドレインと接続され、NMOS トランジスタ 37 のソースは接地されている。

【0139】一方、NMOS トランジスタ 28 のソースは、NMOS トランジスタ 29 のドレインと接続されており、NMOS トランジスタ 29 のソースは、接地されている。NMOS トランジスタ 29 のゲートには、先の制御信号 C が入力されるようになっている。

【0140】上記構成のバッファ回路 12 において、回路の動作必要時には、制御信号 C を High レベルに設定し、回路の動作停止時には、制御信号 C を Low レベ

ルに落とす。制御信号 C を Low レベルにした場合、差動増幅回路の動作点を定める NMOS トランジスタ 31 と、出力部の動作点を定める NMOS トランジスタ 34 とが OFF となるため、差動増幅部および出力部を流れるバイアス電流を流すための NMOS トランジスタ 28 および 36 は電流を流さなくなる。これにより、ボルテージフォロア回路 21 の動作が停止するので、ボルテージフォロア回路 21 における消費電流を完全にカットすることができる。

10 【0141】以上のように、本実施形態で説明したバッファ回路 12 は、回路不使用時には制御信号 C により出力を高出力インピーダンスにすると共に、差動増幅回路であるボルテージフォロア回路 21 内の動作電流をカットする構成である。これにより、回路不使用時に無駄に電力が消費されるのを確実に防止することができ、回路の低消費電力化を大幅に図ることができる。

【0142】例えば、テレビジョン放送電波等でのブランキング期間中のように、液晶表示装置には表示されない不要時間帯でこの制御を行い、先の差動増幅回路を止めることで、こまめに消費電力を削減することができる。また、携帯用機器の電源を ON した直後で、回路（液晶駆動装置以外の回路も含む）が定常状態に至っていない間、この制御信号 C を用いて差動増幅回路の動作を停止しておくことで、不用時の消費電力をこまめに削減できる。

【0143】〔実施の形態 3〕本発明の他の実施の形態について、図面に基づいて説明すれば以下の通りである。なお、説明の便宜上、実施の形態 1・2 と同一の構成には同一の部材番号を付記し、その説明を省略する。

30 【0144】本実施形態では、バッファ回路 12 と、バッファ回路 13 とが、それぞれスイッチ回路 41（図 6 参照）を備えている点を備えている点以外は、実施の形態 2 と全く同じ構成である。したがって、以下では、これらの点について説明する。

【0145】図 6 に示すように、バッファ回路 12・13 の出力は、スイッチ回路 41 の入出力端子の一端に接続されており、スイッチ回路 41 の他の入出力端子の一端はバッファ回路 12・13 の入力端子と接続されている。

40 【0146】スイッチ回路 41 は、MOS トランジスタやトランスミッションゲート等のアナログスイッチで構成可能である。なお、本実施形態では、スイッチ回路 41 として、制御信号 t1 が High レベルの時、導通（閉状態）し、制御信号 t1 が Low レベルの時、非導通（開状態）になるアナログスイッチを用いている。なお、このようにバッファ回路 12・13 にスイッチ回路 41 を設ける理由については後述する。

50 【0147】また、バッファ回路 12・13 の詳細な回路構成は、実施の形態 1 において説明した、図 5 に示すような構成と同一であるので、その説明を省略する。

【0148】さらに、バッファ回路12は、出力側にある抵抗 $R_1$ と $R_2$ との接続点に接続されている。一方、バッファ回路13は、出力側にある抵抗 $R_3$ と $R_4$ との接続点に接続されている。

【0149】ここで、 $R_1$ と $R_2$ との抵抗比と、 $R_3$ と $R_4$ との抵抗比は、それぞれ $R_1 : R_2 = R_{11} : R_{12}$ 、 $R_3 : R_4 = R_{13} : R_{14}$ を満たすように設定されている。このように抵抗比を設定する理由については後述する。

【0150】また、スイッチ回路41の開閉を制御する制御端子には、制御信号Cと同一の信号である制御信号 $t_1$ が入力されている。このように制御信号Cと制御信号 $t_1$ とを同一の信号とすることにより、ソースドライバ1の入力端子Tcを制御信号Cと制御信号 $t_1$ との間で共有化することができ、端子数を低減することができる。

【0151】上記の構成のバッファ回路12・13を備える本実施の形態の基準電圧発生回路7は、実施の形態1の基準電圧発生回路7と同様に、ラッチ信号 $L_s$ に基づいてラッチされた各デジタル表示データDR・DG・DBに対応する階調表示用電圧 $V_0 \sim V_{63}$ を、液晶パネルの各ソース信号ラインに出力する。

【0152】一方、液晶パネルの各ゲート信号ラインには、液晶パネルのTFTをオンするように、Highレベルの走査信号がゲートドライバから入力されている。オン状態のTFTを通して、各TFTのドレインに接続された画素容量に各ソース信号ラインを介して階調表示用電圧 $V_0 \sim V_{63}$ が印加され、液晶パネルの表示が行われる。

【0153】また、図7に示すように、上記のラッチされたデジタル表示データは、次のラッチ信号 $L_s$ が入力されるまで、ホールドメモリ回路5により保持される。なお、図7においては、液晶表示装置に複数備えられているソースドライバ1を、第1ソースドライバ、第2ソースドライバ、第3ソースドライバ…とし、区別して表記している。

【0154】したがって、各ソースドライバの出力も同じく、あるラッチ信号 $L_s$ が入力されると、デジタル表示データDR・DG・DBに応じた階調表示用電圧 $V_0 \sim V_{63}$ に切り替えられる。そして、次のラッチ信号 $L_s$ が入力されるまで、その階調表示用電圧 $V_0 \sim V_{63}$ を維持する。このようにして維持された階調表示用電圧 $V_0 \sim V_{63}$ により、液晶パネルの各画素にある画素容量への充放電が行われる。

【0155】次に、バッファ回路12・13にスイッチ回路41を設ける理由について説明する。

【0156】上記のように画素容量に階調表示用電圧 $V_0 \sim V_{63}$ を印加した直後には、基準電圧発生回路7において瞬時に大きな電流が流れる場合がある。その後、画素容量の容量値と、TFTのオン抵抗、ソース信号ライ

ン抵抗、あるいはソースドライバの出力インピーダンス等の抵抗値との時定数で決まる特性カーブを経て、画素容量に印加される電圧が所定の電圧値に安定すれば、流れる電流はリーク電流を除いて0となる。

【0157】そして、液晶表示装置で良質な画像を表示するためには、上記のように基準電圧発生回路7において瞬時に大きな電流が流れても、できるだけ早く階調表示用電圧 $V_0 \sim V_{63}$ を安定させることが好ましい。そのためには、ラッチ信号 $L_s$ が入力して新たな階調表示用電圧に切り替わった初期の状態において、ソースドライバ1の出力インピーダンスが、低インピーダンス状態であることが必要である。

【0158】また、一定時間 $T_I$  ( $T_I$ は、1水平同期期間内の値とする)が経過して画素容量に印加される電圧が所定の電圧値になれば、TFTがオフするまで、その電圧値を維持するための維持電圧を印加することにより、画像品位は維持できる。この維持電圧の印加時は、ソースドライバ1の出力インピーダンスは高出力インピーダンス状態で構わない。

【0159】このように、画像を表示している場合においても、ソースドライバ1の出力インピーダンスは、低出力インピーダンス状態であることが必要な場合と、高出力インピーダンスで構わない場合とがある。すなわち、ソースドライバ1の出力インピーダンスは、低出力インピーダンス状態と高出力インピーダンス状態とに切り替え可能であることが好ましい。そのようにソースドライバ1の出力インピーダンスの状態を切り替えるために、本実施の形態ではバッファ回路12・13にスイッチ回路41を設けるのである。

【0160】次に、スイッチ回路41により、出力インピーダンス状態を切り替える機能について説明する。

【0161】図6に示すように、スイッチ回路41が導通状態である場合、DA変換回路8には、バッファ回路12・13を経由する電流と、抵抗 $R_0 \sim R_7$ を経由する電流との2つの電流が供給される。

【0162】ここで、バッファ回路12・13の出力は、スイッチ回路41を介してバッファ回路12・13の入力へフィードバックされている。すなわち、バッファ回路12・13はボルテージフォロアとして用いられており、大きな電流を低出力インピーダンス状態で供給することが可能である。

【0163】したがって、DA変換回路8へ供給される電流は、バッファ回路12・13を経由する電流が主となる。すなわち、基準電圧発生回路7からDA変換回路8への出力インピーダンスは、低出力インピーダンス状態となる。これにより、ソースドライバ1の出力インピーダンスは、低出力インピーダンス状態となるのである。

【0164】一方、スイッチ回路41が非導通状態である場合、バッファ回路12・13には電流が流れない。

すなわち、DA変換回路8には、抵抗 $R_0 \sim R_7$ を経由する電流が主となる。ここで、抵抗 $R_0 \sim R_7$ は、消費電力を低減するために、高い抵抗値のものを用いている。

【0165】すなわち、基準電圧発生回路7からのDA変換回路8への出力インピーダンスは、高出力インピーダンス状態となる。これにより、ソースドライバ1の出力インピーダンスは、高出力インピーダンス状態となるのである。

【0166】次に、ソースドライバ1において、高出力インピーダンス状態と低出力インピーダンス状態とを切り替えるタイミングについて説明する。

【0167】図8に示すように、同期信号LSが入力してから一定時間TIの間、制御信号C(t1)をHighレベルにして、バッファ回路12・13を動作させるとともにスイッチ回路41を導通させ、バッファ回路12・13の出力をDA変換回路8へ出力している。

【0168】これにより、ソースドライバ1の出力は、同期信号LSが入力してから一定時間TIの間、低出力インピーダンス状態となる。

【0169】一方、一定時間TIが経過し、画素容量への充放電が終了すると、制御信号C(t1)をLowレベルにする。

【0170】これにより、バッファ回路12・13の動作は停止し、スイッチ回路41は非導通状態となる。したがって、ソースドライバ1の出力インピーダンスは、高出力インピーダンス状態となる。

【0171】ここで、上記したように、 $R_{11} : R_{12} = R_1 : R_2$ （ここでは1 : 1）であるので、バッファ回路12・13の動作状態が非動作状態に切り替わっても、階調表示用電圧 $V_0 \sim V_{63}$ の値は変化しない。なお、図8において、制御信号Cのタイミングチャートにおける期間BIは、垂直同期ブランキング期間でのバッファ回路12・13の動作停止を表している。

【0172】なお、ここでは制御信号Cと制御信号t1は同じ信号を用いた例で説明したが、制御信号Cと制御信号t1とを別の信号として、HighレベルとLowレベルとのタイミングを切り換えてもよい。これにより、バッファ回路12・13の動作または停止の切替え時の出力段の切替えノイズを除くことができる。

【0173】このように、本実施の形態のソースドライバ1において、バッファ回路12・13の出力は、バッファ回路12・13の入力へフィードバックされている。

【0174】これにより、バッファ回路12・13の出力は、低出力インピーダンス状態で出力され、例えば液晶パネルの表示開始直後において、大きな電流が流れた場合でも、より早く階調表示用電圧 $V_0 \sim V_{63}$ を安定させることができ、良質の画像を得ることができる。

【0175】また、生成回路11において隣り合う2つ

の第1参照電圧 $V'_{56} \cdot V'_{40}$ 間に第2参照電圧を生成するために設けられる2つの抵抗の比( $R_{11} : R_{12}$ )と、抵抗分割回路14においてそれら2つの第1参照電圧間 $V'_{56} \cdot V'_{40}$ に設けられる2つの抵抗の比( $R_1 : R_2$ )とが等しい。

【0176】すなわち、生成回路11において分圧されてバッファ回路12に入力される電圧値と、バッファ回路12から抵抗分割回路14に出力される電圧値とが常に等しくなる。

【0177】すなわち、バッファ回路12内部で動作電流が流れないような制御を行っても、第2参照電圧を維持することができる。したがって、バッファ回路12内部の電流を遮断しても、液晶パネルでの表示画像の品位を維持することができる。

【0178】また、バッファ回路12内部へ再び動作電流を導通させた場合でも、バッファ回路12の出力は、バッファ回路12の入力へとフィードバックされているので、より早く階調表示用電圧 $V_0 \sim V_{63}$ を安定させることができる。

【0179】したがって、液晶パネルで画像を表示している際において、バッファ回路12の動作電流を切断したり、導通したりしても、液晶パネルの表示画像の品位への影響が低減されている。

【0180】これにより、液晶パネルの表示中においても、バッファ回路12の動作不必要時に無駄に電力が消費されることを防止することができ、消費電力をより低くすることができる。

【0181】また、ソースドライバ1において、バッファ回路12・13の出力を導通または遮断するスイッチ回路41を備えているとともに、バッファ回路12・13への入力、スイッチ回路41の出力へ接続されるように分岐されている。

【0182】すなわち、スイッチ回路41が導通状態であるとき、バッファ回路12・13の出力は、低出力インピーダンス状態で出力される。

【0183】これにより、例えば液晶パネルの表示開始直後において、大きな電流が流れた場合でも、より早く階調表示用電圧を安定させることができ、良質の画像を得ることができる。

【0184】一方、スイッチ回路41がバッファ回路12・13の出力を遮断しているとき、生成回路11で生成された第2参照電圧は、バッファ回路12・13への入力からスイッチ回路41の出力へ接続された経路を経由して、抵抗分割回路14へと出力される。

【0185】これにより、例えば液晶パネルの表示が安定した後、バッファ回路12・13内部の電流を遮断しても、液晶パネルでの表示画像の品位を維持することができる。

【0186】これにより、液晶パネルの表示中においても、バッファ回路12・13の動作不必要時に無駄に電



力が消費されることを防止することができ、消費電力をより低くすることができる。

【0187】また、ソースドライバ1において、バッファ回路12・13内部における動作電流の制御信号Cと、スイッチ回路41の制御信号t1とは同一の信号である。

【0188】これにより、ソースドライバ1の入力端子を、これら2つの制御信号C・t1の間で共有化することができ、端子数を低減することができる。

【0189】また、ソースドライバ1において、バッファ回路12・13内部の動作電流は、上記第2参照電圧が入力された時点から所定時間T1経過後に遮断される。

【0190】すなわち、液晶パネルの表示中において、よりこまめにバッファ回路12・13内部の動作電流が遮断される。これにより、ソースドライバ1の消費電力をさらに低くすることができる。

【0191】なお、以上で説明した本発明の液晶駆動装置は、以下の第1～第8の液晶駆動装置として表現することもできる。

【0192】第1の液晶駆動装置は、入力されるnビットの表示データに応じて階調表示用電圧を出力するため、複数の参照電圧を入力し、これらの隣り合う電圧間を分割してγ補正に対応した2<sup>n</sup>種類の電圧を発生させる基準電圧発生手段と、上記表示データに応じて上記2<sup>n</sup>種類の電圧の中から1つの電圧を選択する選択手段とを有し、上記選択手段からの出力をそのまま液晶表示装置の階調表示用電圧として出力する液晶駆動装置であって、上記基準電圧発生手段は、上記参照電圧の一部をその隣り合う上位および下位の参照電圧から内部で生成する生成手段と、その生成された電圧に対するバッファ手段とを備えている液晶駆動装置である。

【0193】第2の液晶駆動装置は、上記第1の液晶駆動装置において、上記基準電圧発生手段は、γ補正に対応した抵抗素子を直列に接続したときに、その抵抗素子間から上記2<sup>n</sup>種類の電圧を引き出す発生手段（抵抗分割回路）を備えており、上記生成手段は、内部で生成する参照電圧の隣り合う上位と下位の参照電圧間をγ補正に対応した抵抗素子を直列に接続したときに、その抵抗素子間から電圧を引き出す抵抗分割回路で構成されており、さらに、上記生成手段から引き出された電圧を、上記バッファ手段を介して上記2<sup>n</sup>種類の電圧を発生する発生手段の所定の抵抗間に入力させた液晶駆動装置である。

【0194】第3の液晶駆動装置は、上記第1または上記第2の液晶駆動装置において、上記生成手段は、上記入力される複数の参照電圧の中間値もしくはその前後の値をその隣り合う上位と下位の参照電圧により生成するように設置されている液晶駆動装置である。

【0195】第4の液晶駆動装置は、上記第1ないし上

記第3のいずれかの液晶駆動装置において、上記バッファ手段は、外部からの切替信号により、動作停止時は出力を高出力インピーダンスにし、かつ、内部の動作電流を切ることができる切替手段（制御手段）を備えている液晶駆動装置である。

【0196】第5の液晶駆動装置は、上記第4の液晶駆動装置において、上記バッファ手段の出力端にはさらに外部開閉制御信号により制御されるスイッチ手段が備えられ、該スイッチ手段を介しての出力と該バッファ手段の入力とが接続されて構成されている液晶駆動装置である。

【0197】第6の液晶駆動装置は、上記第5の液晶駆動装置において、上記バッファ手段は、該表示データに応じた電圧が選択され出力された時点から一定の時間まで初期段階で動作する液晶駆動装置である。

【0198】第7の液晶駆動装置は、上記第5または第6の液晶駆動装置において、上記バッファ手段の制御信号と、該スイッチ手段の制御信号とは同一の信号である液晶駆動装置である。

【0199】第8の液晶駆動装置は、上記第1ないし上記第7のいずれの液晶駆動装置において、上記基準電圧発生手段に入力される複数の参照電圧のうち、上記生成手段により生成した電圧に相当する参照電圧の入力を間引いた構成の液晶駆動装置である。

【0200】なお、例えば日本国公開特許公報「特開2000-47625号（公開日：2000年2月18日）」には、選択回路からの出力をバッファ回路を介さずに直接液晶パネルに供給する構成が開示されている。したがって、従来、各出力端子ごとに設けていたバッファ回路を削減するという点では、上記公報の構成は本発明と共通している。しかし、上記公報は、複数のバイアス電圧を発生させるための抵抗分割回路（バイアス電圧発生部）の後段にバッファ回路を設ける構成であり、抵抗分割回路14の前段にバッファ回路12・13を設ける本発明とは、構成が明らかに相違している。

【0201】上記公報のように、抵抗分割回路の後段にバッファ回路を設ける場合、上記抵抗分割回路から出力される階調表示用電圧のそれぞれの波形なまりをバッファ回路によって低減しようと思えば、上記階調表示用電圧のそれぞれに対応した数だけバッファ回路を設ける必要がある。

【0202】これに対して、本発明では、例えば、抵抗分割回路14の抵抗R<sub>2</sub>によって、バッファ回路12から出力される第2参照電圧から階調表示用電圧V<sub>41</sub>～V<sub>48</sub>が引き出されることになるが、上記バッファ回路12によって第2参照電圧の波形なまりが低減されるため、この第2参照電圧を基にして得られる階調表示用電圧V<sub>41</sub>～V<sub>48</sub>の波形なまりは、1個のバッファ回路12で低減できていることになる。すなわち、抵抗分割回路14の前段にバッファ回路12を設ける本発明の場合、階調

表示用電圧 $V_{41} \sim V_{48}$ のそれぞれに対応した数だけバッファ回路12を設ける必要がない。

【0203】したがって、取り出す階調表示用電圧の数を同じと考えた場合、本発明によれば、上記公報に比べて、基準電圧発生回路7内のバッファ回路の設置数を大幅に低減することができ、装置の小型化および低消費電力化の効果を上記公報よりも確実に得ることができる。

【0204】

【発明の効果】本発明に係る液晶駆動装置は、以上のように、上記基準電圧発生手段は、上記複数の第1参照電圧を昇順または降順に並べたときに、一部の隣り合う2つの第1参照電圧からその間の電圧を第2参照電圧として新たに生成する生成手段と、上記第2参照電圧をインピーダンス変換して出力するバッファ手段と、隣り合う2つの第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間を分圧することによって、上記2<sup>n</sup>種類の階調表示用電圧を引き出す分圧手段とを備えている構成である。

【0205】それゆえ、分圧手段の前段にバッファ手段を設けることで、分圧手段に供給する電圧の波形なまりを低減することができるので、分圧手段から出力される階調表示用電圧の出力波形のなまりを低減することができる。これにより、上記階調表示用電圧を選択手段を介して直接、液晶パネルに出力しても、出力波形のなまりに起因して表示品位が低下するのが抑制される。つまり、従来のように、占有面積が大きく、また消費電力の大きい出力回路を液晶パネルへの出力端子毎に設けなくても、良好な表示品位を確保することが可能となる。一方、基準電圧発生手段にバッファ手段を設けるとは言っても、そのレイアウト面積や消費電力は、複数の出力端子ごとにバッファ手段を設ける従来に比べて格段に小さい。

【0206】したがって、上記構成によれば、小型で低消費電力の液晶駆動装置を実現することができる。これにより、上記液晶駆動装置を液晶表示装置に適用することによって、小型で低消費電力の携帯端末用の中小型液晶表示装置を実現することができるという効果を奏する。

【0207】本発明に係る液晶駆動装置は、以上のように、上記分圧手段は、隣り合う第1参照電圧間および隣り合う第1参照電圧と第2参照電圧との間に対応して設けられる抵抗が直列接続された第1抵抗分割回路で構成されている一方、上記生成手段は、隣り合う第1参照電圧と第2参照電圧との間に対応して設けられる抵抗が直列接続された第2抵抗分割回路で構成されており、上記第1抵抗分割回路を構成する各抵抗の比、および、上記第2抵抗分割回路を構成する各抵抗の比は、上記2<sup>n</sup>種類の階調表示用電圧に対する、自然な階調表示を行うためのガンマ補正を実現できるような比にそれぞれ設定されている構成である。

【0208】それゆえ、第1抵抗分割回路および第2抵抗分割回路の両方でガンマ補正が実現されるので、第1抵抗分割回路から引き出される2<sup>n</sup>種類の階調表示用電圧に基づいて、人間の視覚特性に応じた自然な階調表示を確実に実現することが可能となるという効果を奏する。

【0209】本発明に係る液晶駆動装置は、以上のように、上記生成手段は、上記複数の第1参照電圧の入力範囲の最小値および最大値以外の電圧を上記第2参照電圧として生成することができるように設けられている構成である。

【0210】それゆえ、第1参照電圧の入力範囲の最大値および最小値以外の電圧が基準電圧発生手段に入力されない場合であっても、入力される残りの第1参照電圧と、生成手段が生成する第2参照電圧とから、上記分圧手段にて、2<sup>n</sup>種類の階調表示用電圧を確実に得ることができるという効果を奏する。

【0211】本発明に係る液晶駆動装置は、以上のように、上記バッファ手段は、外部から入力される制御信号に基づいて、当該バッファ手段内部の動作電流を制御する制御手段を備えている構成である。

【0212】それゆえ、制御手段の制御により、バッファ手段の動作不必要時に、無駄に電力が消費されるのを確実に防止することができ、バッファ手段の低消費電力化を確実に図ることができるという効果を奏する。

【0213】本発明に係る液晶駆動装置は、以上のように、上記バッファ手段の出力は、上記バッファ手段の入力へフィードバックされている構成である。

【0214】それゆえ、バッファ手段はボルテージフォロアとしての役割を果たすので、バッファ手段の出力は、低出力インピーダンス状態で出力される。これにより、例えば液晶パネルの表示開始直後において、大きな電流が流れた場合でも、より早く階調表示用電圧を安定させることができ、良質の画像を得ることができるという効果を奏する。

【0215】本発明に係る液晶駆動装置は、以上のように、上記生成手段において隣り合う2つの第1参照電圧間に第2参照電圧を生成するために設けられる2つの抵抗の比と、上記分圧手段においてそれら2つの第1参照電圧間に設けられる2つの抵抗の比とが等しい構成である。

【0216】それゆえ、バッファ手段内部の電流を遮断しても、液晶パネルでの表示画像の品位を維持することができる。これにより、液晶パネルの表示中においても、バッファ手段の動作不必要時に無駄に電力が消費されることを防止することができ、消費電力をより低くすることができるという効果を奏する。

【0217】本発明に係る液晶駆動装置は、以上のように、上記バッファ手段の出力を導通または遮断するスイッチ手段を備えているとともに、上記バッファ手段への

入力は、上記スイッチ手段の出力へ接続されるように分岐されている構成である。

【0218】それゆえ、例えば液晶パネルの表示開始直後において、大きな電流が流れた場合でも、より早く階調表示用電圧を安定させることができるとともに、バッファ手段内部の電流を遮断しても、液晶パネルでの表示画像の品位を維持することができる。

【0219】これにより、液晶パネルの表示中においても、バッファ手段の動作不必要時に無駄に電力が消費されることを防止することができ、消費電力をより低く

【0220】本発明に係る液晶駆動装置は、以上のように、上記バッファ手段内部における動作電流の制御信号と、上記スイッチ手段の制御信号とは同一の信号である構成である。

【0221】それゆえ、液晶駆動装置の入力端子を、これら2つの制御信号の間で共有化することができ、端子数を低減することができるという効果を奏する。

【0222】本発明に係る液晶駆動装置は、以上のように、上記バッファ手段内部の動作電流は、上記第2参照電圧が入力された時点から所定時間経過後に遮断される構成である。

【0223】それゆえ、液晶パネルの表示中において、よりこまめにバッファ手段内部の動作電流が遮断される。これにより、液晶駆動装置の消費電力をさらに低くすることができるという効果を奏する。

【0224】本発明に係る液晶駆動装置は、以上のように、上記基準電圧発生手段は、上記複数の第1参照電圧が入力される入力端子をさらに備えている一方、上記生成手段によって生成される上記第2参照電圧に対応する第1参照電圧が入力される入力端子は間引かれている構成である。

【0225】それゆえ、例えば、上記第1参照電圧を供給する液晶駆動電源から液晶駆動装置までの必要配線数を低減することができる。これにより、液晶駆動装置ひいてはこれを備えた液晶表示装置の小型化の効果をさらに高めることができるという効果を奏する。

【0226】本発明に係る液晶表示装置は、以上のように、上述した液晶駆動装置と、上記液晶駆動装置によって駆動される液晶パネルとを備えている構成である。

【0227】それゆえ、表示品位を損なうことなく小型化および低消費電力化を実現できる上述の液晶駆動装置と液晶パネルとで液晶表示装置を構成することにより、小型で低消費電力の携帯端末用の中小型液晶表示装置を実現することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態に係る液晶駆動装置であるソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

【図2】上記ソースドライバの概略の構成を示すブロッ

ク図である。

【図3】上記基準電圧発生回路とDA変換回路からなるDA変換器において、主に上記DA変換回路の概略の構成を示す説明図である。

【図4】本発明の他の実施の形態に係る液晶駆動回路であるソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

【図5】上記基準電圧発生回路が備えるバッファ回路の概略の構成を示す回路図である。

10 【図6】本発明のさらに他の実施の形態に係る液晶駆動回路であるソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

【図7】上記ソースドライバにおける入出力信号を示すタイミングチャートである。

【図8】上記ソースドライバにおいて高インピーダンス状態と低インピーダンス状態とを切り替えるタイミングを示すタイミングチャートである。

【図9】液晶駆動装置と液晶パネルとを少なくとも備えた液晶表示装置の概略の構成を示すブロック図である。

20 【図10】上記液晶パネルの概略の構成を示す回路図である。

【図11】上記液晶表示装置における液晶駆動波形の一例を示す説明図である。

【図12】上記液晶表示装置における液晶駆動波形の他の例を示す説明図である。

【図13】従来のソースドライバの概略の構成を示すブロック図である。

【図14】上記ソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

30 【図15】上記基準電圧発生回路が備える抵抗分割回路を構成する抵抗の詳細な構成を示す回路図である。

【図16】上記ソースドライバが備える上記基準電圧発生回路と、DA変換回路と、出力回路との概略の構成を示す説明図である。

【図17】 $\gamma$ 補正を行った場合における、階調表示データと液晶駆動出力電圧との関係を示すグラフである。

#### 【符号の説明】

- 1 ソースドライバ（液晶駆動装置）
- 7 基準電圧発生回路（基準電圧発生手段）
- 40 8 DA変換回路（選択手段）
- 11 生成回路（生成手段、第2抵抗分割回路）
- 12 バッファ回路（バッファ手段）
- 13 バッファ回路（バッファ手段）
- 14 抵抗分割回路（分圧手段、第1抵抗分割回路）
- 22 制御部（制御手段）
- 41 スイッチ回路（スイッチ手段）
- 901 液晶パネル
- C 制御信号
- t1 制御信号
- 50 DR 表示データ

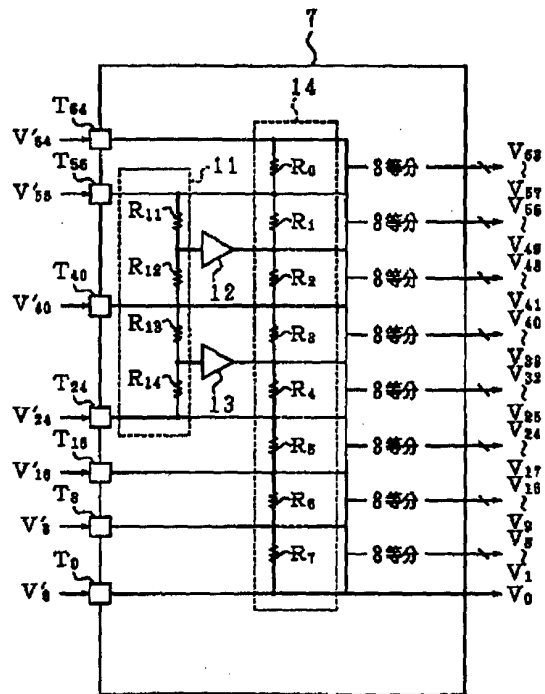
33

34

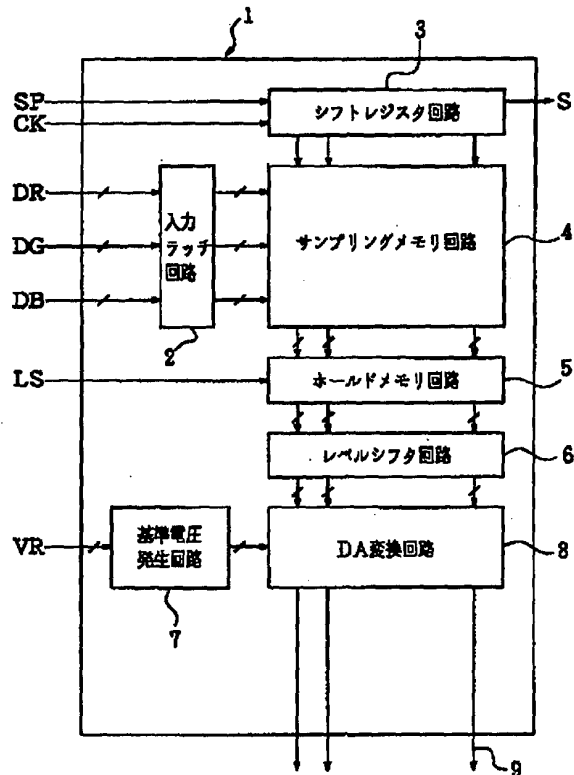
DG 表示データ  
DB 表示データ

$V'_0 \sim V'_{64}$  第1参照電圧  
 $V_0 \sim V_{63}$  階調表示用電圧

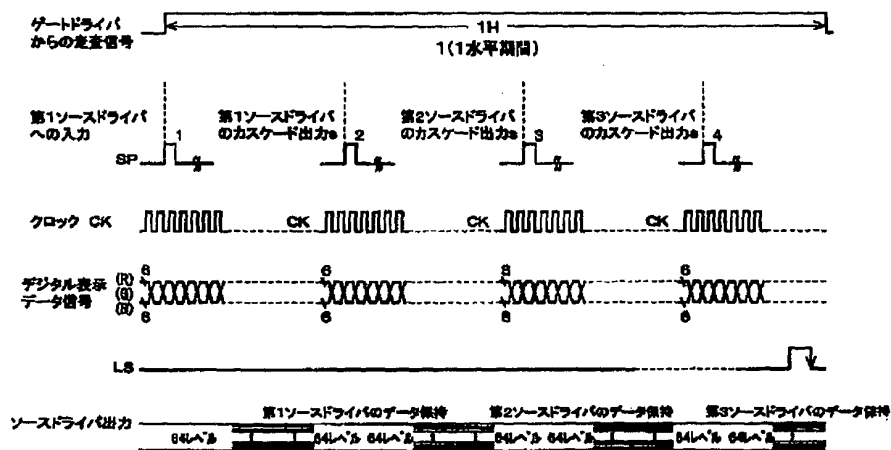
【図1】



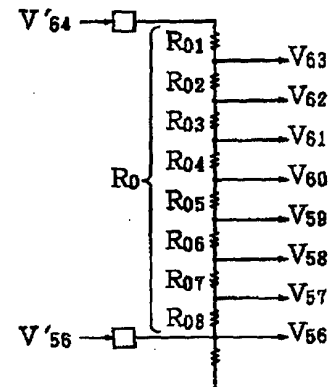
【図2】



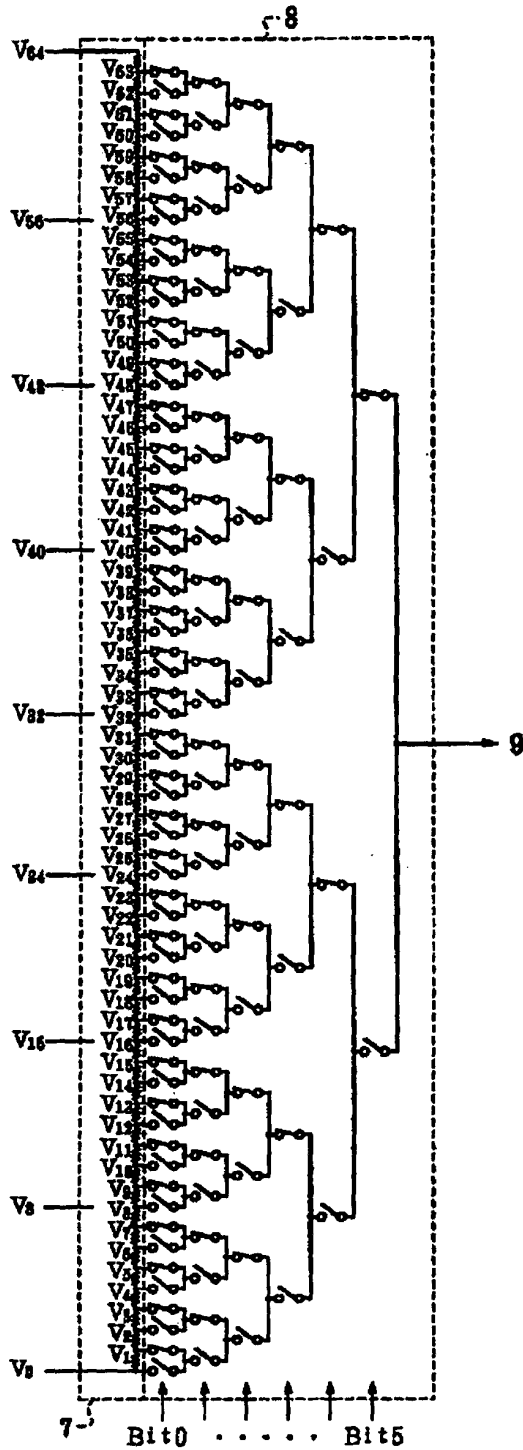
【図7】



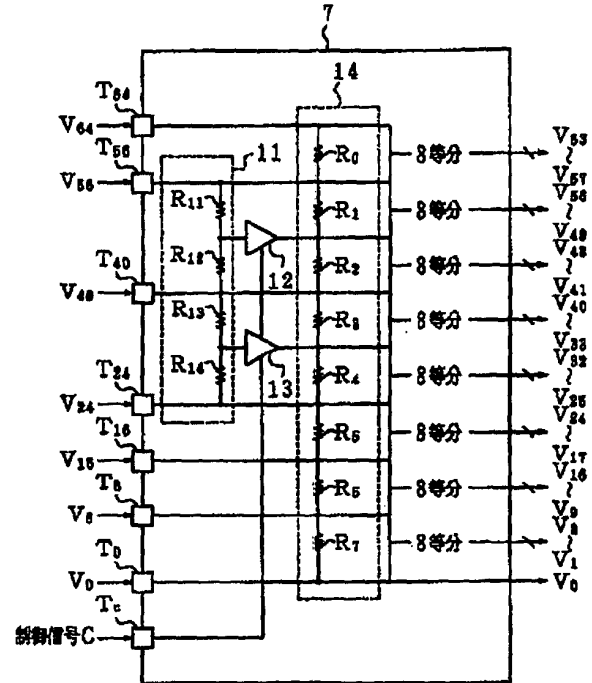
【図15】



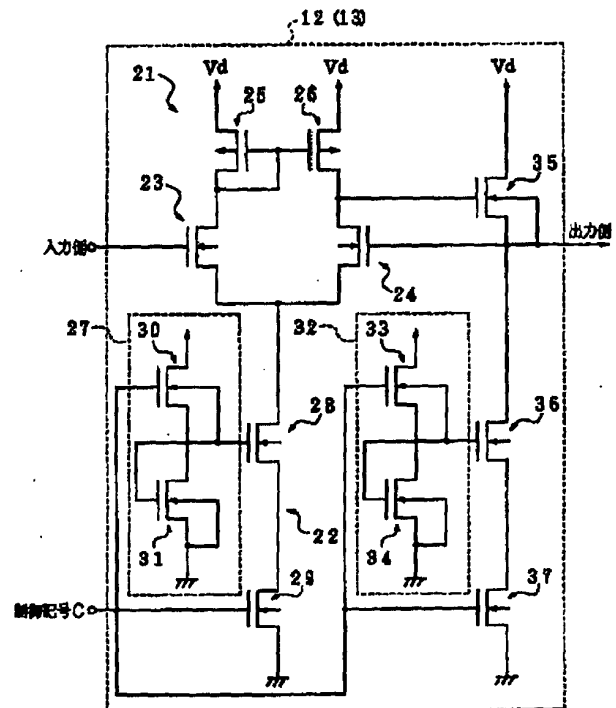
【図3】



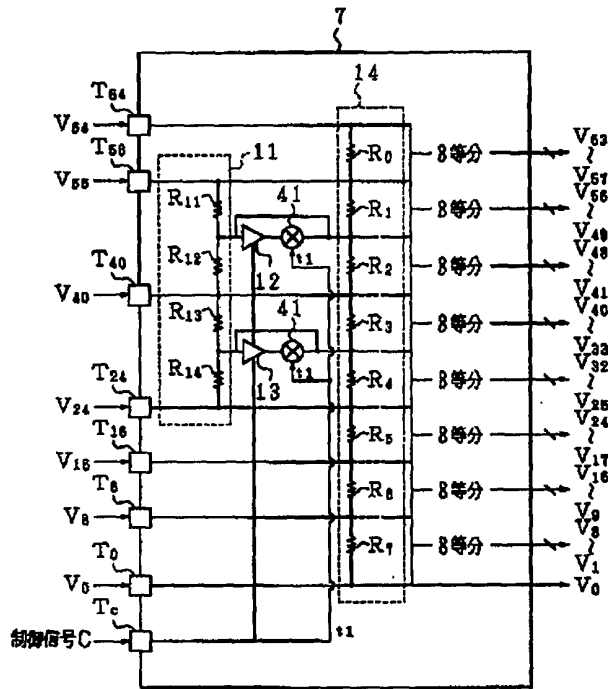
【図4】



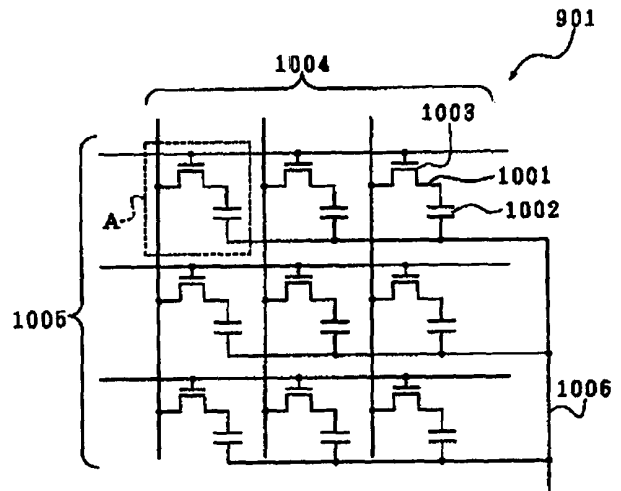
【図5】



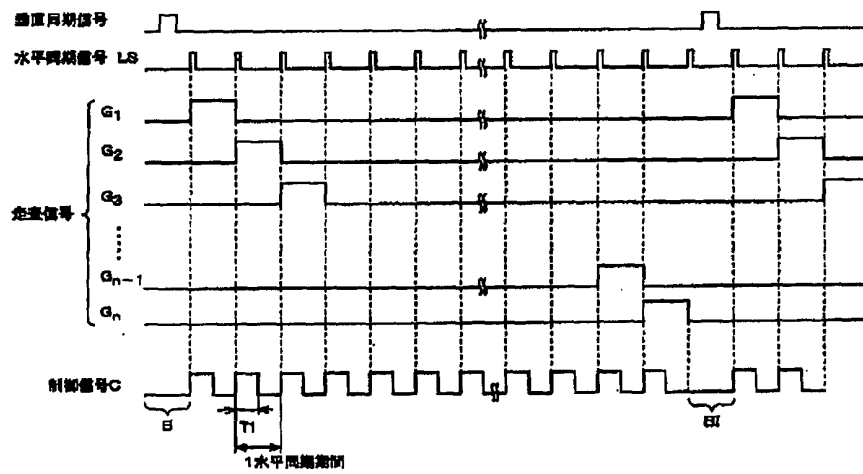
【図6】



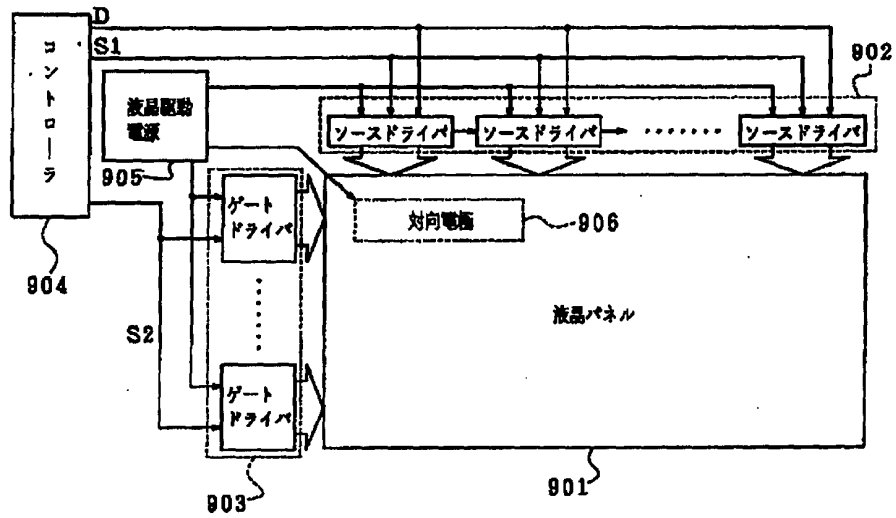
【図10】



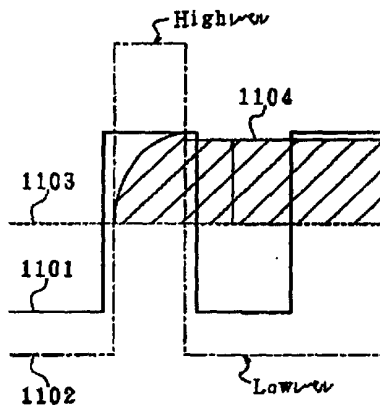
【図8】



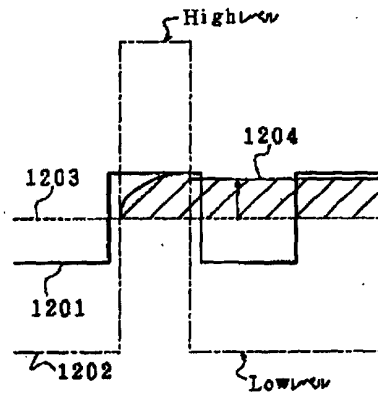
【図9】



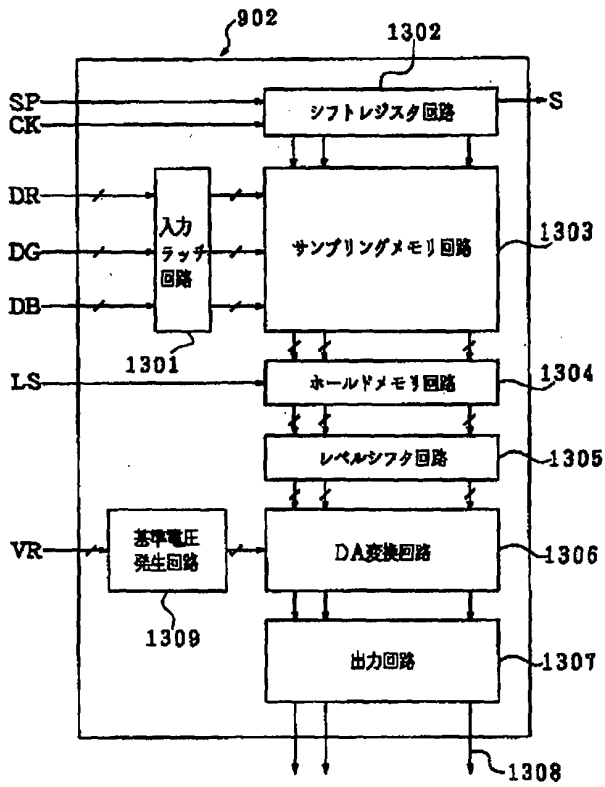
【図11】



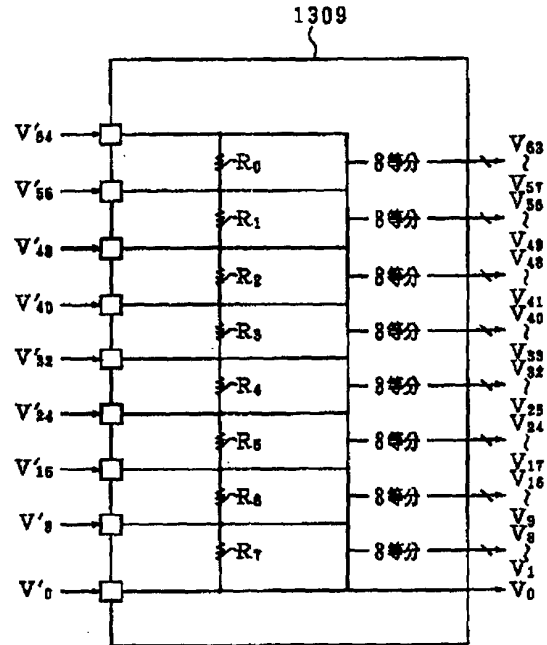
【図12】



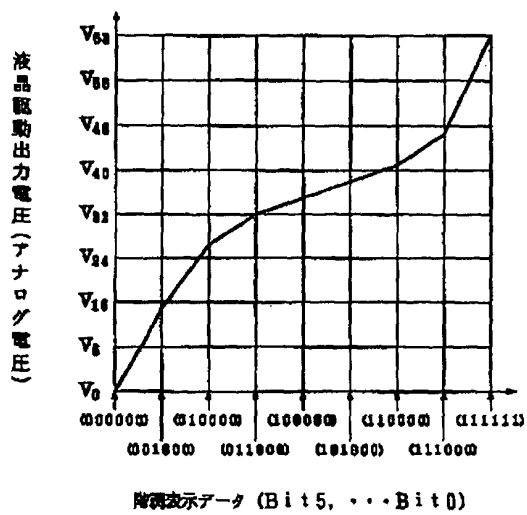
【図13】



【図14】

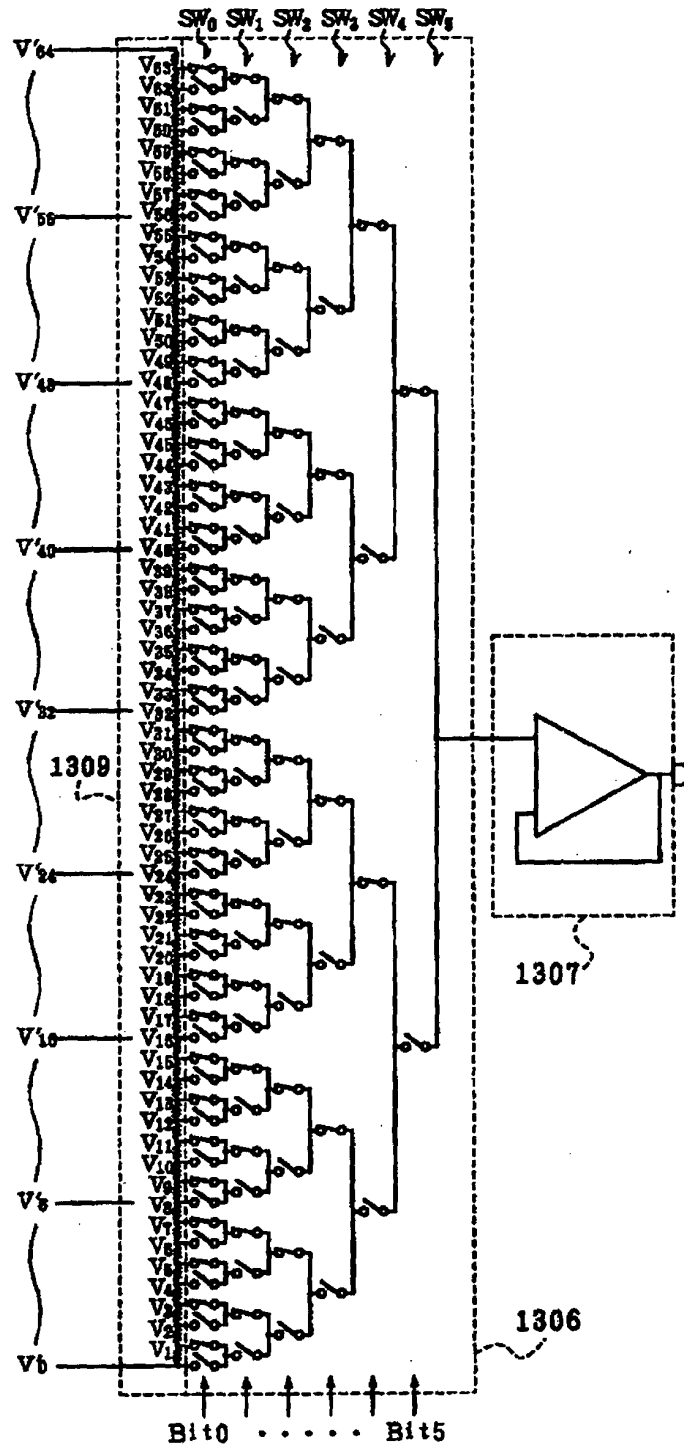


【図17】





【図16】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F
	6 4 1		6 4 1 C

Fターム(参考) 2H093 NA16 NA51 NC26 NC34 ND49  
 5C006 AA16 AF50 AF83 BB16 BC12  
 BF25 BF43 FA42 FA43 FA47  
 5C080 AA10 BB05 DD23 DD24 DD27  
 DD29 EE29 FF11 JJ02 JJ03  
 JJ04